

超低成本高性能 2.4GHz GFSK 无线收发芯片

主要特性

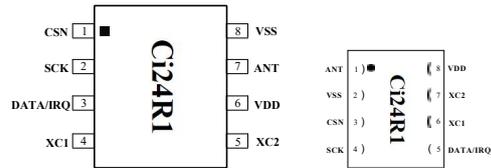
- 工作在 2.4GHz ISM 频段
- 调制方式：GFSK/FSK
- 数据速率：2Mbps/1Mbps/250Kbps
- 兼容 BLE4.2 PHY&MAC
- 超低关断功耗：2uA
- 超低待机功耗：20uA
- 快速启动时间：≤ 160uS
- 内部集成高 PSRR LDO
- 宽电源电压范围：2.1-3.6V
- 宽数字 I/O 电压范围：1.9-3.6V
- 接收灵敏度：-80dBm @2Mbps
- 最高发射功率：9dBm
- 接收电流（2Mbps）：20mA
- 最高 10MHz 两线 SPI 接口
- 内部集成智能 ARQ 基带协议引擎

- 收发数据硬件中断输出
- 支持 1bit RSSI 输出
- 极少外围器件,降低系统应用成本
- SOP-8/DFN-8 封装

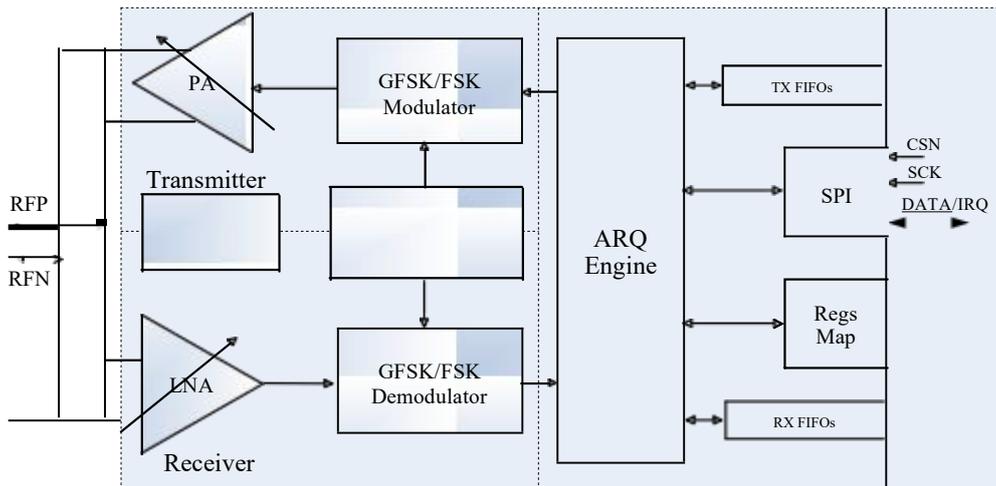
应用范围

- ◆ 无线鼠标、键盘
- ◆ 无线遥控、体感设备
- ◆ 智能电网、智能家居
- ◆ 无线音频
- ◆ 无线数据传输模块

封装图



结构框图



术语缩写

术语	描述	中文描述
ARQ	Auto Repeat-reQuest	自动重传请求
ART	Auto ReTransmission	自动重发
ARD	Auto Retransmission Delay	自动重传延迟
BER	Bit Error Rate	误码率
CE	Chip Enable	芯片使能
CRC	Cyclic Redundancy Check	循环冗余校验
CSN	Chip Select	片选
DPL	Dynamic Payload Length	动态载波长度
GFSK	Gaussian Frequency Shift Keying	高斯频移键控
IRQ	Interrupt Request	中断请求
ISM	Industrial-Scientific-Medical	工业-科学-医学
LSB	Least Significant Bit	最低有效位
Mbps	Megabit per second	兆位每秒
MCU	Micro Controller Unit	微控制器
MHz	Mega Hertz	兆赫兹
DATA/IRQ	Master In Slave Out/ Slave In Out Master/IRQ	主机输入从机输出/主机输出从机输入/中断
MSB	Most Significant Bit	最高有效位
PA	Power Amplifier	功率放大器
PID	Packet Identity	数据包识别位
PLD	Payload	载波
RX	RX	接收端
TX	TX	发射端
PWR_DWN	Power Down	掉电
PWR_UP	Power UP	上电
RF_CH	Radio Frequency Channel	射频通道
RSSI	Received Signal Strength Indicator	信号强度指示器
RX	Receiver	接收机
RX_DR	Receive Data Ready	接收数据准备就绪
SCK	SPI Clock	SPI 时钟
SPI	Serial Peripheral Interface	串行外设接口
TX	Transmitter	发射机
TX_DS	Transmit Data Sent	已发数据
XTAL	Crystal	晶体振荡器

目录

1	简介	1
2	引脚信息	2
3	工作模式	3
3.1	状态转换图	3
3.1.1	Shutdown 工作模式	4
3.1.2	Standby 工作模式	4
3.1.3	Idle-TX 工作模式	4
3.1.4	TX 工作模式	4
3.1.5	RX 工作模式	4
4	数据包处理协议	6
4.1	ARQ 包格式	6
4.2	ARQ 通信模式	7
4.2.1	ACK 模式	7
4.2.2	NO ACK 模式	9
4.2.3	动态 PAYLOAD 长度与静态 PAYLOAD 长度	9
4.2.4	多管道通信	9
4.3	蓝牙包格式	10
5	SPI 数据与控制接口	12
5.1	SPI 命令	12
5.2	SPI 时序	13
6	寄存器映射表	15
7	主要参数指标	22
7.1	极限参数	22
7.2	电气指标	22
8	封装信息	24
8.1	SOP-8 封装	24
8.2	DFN-8 封装	25
9	典型应用原理图	26
9.1	SOP 封装	26
9.1.1	典型应用原理图	26
9.1.2	PCB 布线	27
9.2	DFN 封装	28
9.2.1	典型应用原理图	28
9.2.2	PCB 布线	29

10	版本信息	30
11	订单信息.....	31

1 简介

Ci24R1 是一颗工作在 2.4GHz ISM 频段，专为低成本无线场合设计，集成嵌入式 ARQ 基带协议引擎的无线收发器芯片。工作频率范围为 2400MHz-2525MHz，共有 126 个 1MHz 带宽的信道。

Ci24R1 采用 GFSK/FSK 数字调制与解调技术。数据传输速率与 PA 输出功率都可以调节，支持 2Mbps,1Mbps,250Kbps 三种数据速率。高的数据速率可以在更短的时间完成同样的数据收发，因此可以具有更低的功耗。

Ci24R1 内部集成兼容 BLE4.2 标准的 PHY 与 MAC，可以非常方便实现与手机数据交互。

Ci24R1 操作方式非常方便，只需要微控制器（MCU）通过二线 SPI 接口对芯片少数几个寄存器配置即可以实现数据的收发通信。嵌入式 ARQ 基带引擎基于包通信原理，支持多种通信模式，可以手动或全自动 ARQ 协议操作。内部集成收发 FIFO，可以保证芯片与 MCU 数据连续传输，增强型 ARQ 基带协议引擎能处理所有高速操作，因此大大降低了 MCU 的系统消耗。

Ci24R1 具有非常低的系统应用成本，只需要一个 MCU 和少量外围无源器件即可以组成一个无线数据收发系统。内部集成高 PSRR 的 LDO 电源，保证 2.1-3.6V 宽电源范围内稳定工作；数字 I/O 兼容 2.5V/3.3V/5V 等多种标准 I/O 电压，可以与各种 MCU 端口直接连接，芯片内部集成晶振电容，可以实现晶振的温度补偿，实现宽温度范围工作。

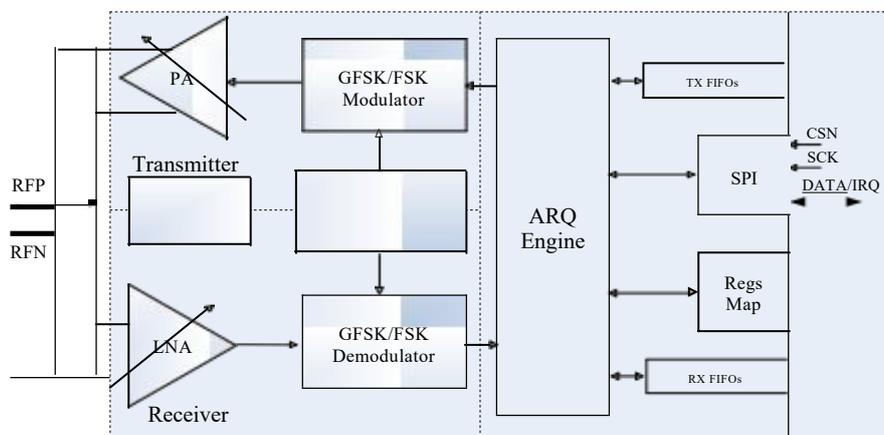


图 1-1 芯片结构框图

2 引脚信息

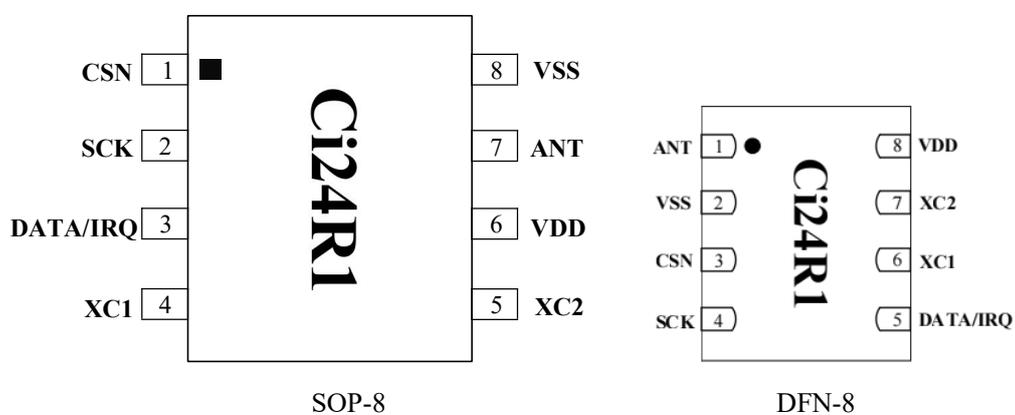


图 2-1 Ci24R1 引脚信息图

表 2.1 引脚功能描述

端 口 (SOP-8)	端 口 (DFN-8)	端口名称	端口类型	功能描述
1	3	CSN	DI	SPI 片选信号
2	4	SCK	DI	SPI 时钟信号
3	5	DATA/IRQ	IO	SPI 数据输入/输出/中断信号
4	6	XC1	AI	晶振输入
5	7	XC2	AO	晶振输出
6	8	VDD	Power	电源 (+2.1 ~ +3.6V, DC)
7	1	ANT	RF	天线接口
8	2	VSS	Power(0V)	地

3 工作模式

3.1 状态转换图

Ci24R1 芯片内部有状态机，控制着芯片在不同工作模式之间的转换。

Ci24R1 可配置为 Shutdown、Standby、Idle-TX、TX 和 RX 五种工作模式。状态转换图如图 3-1 所示。

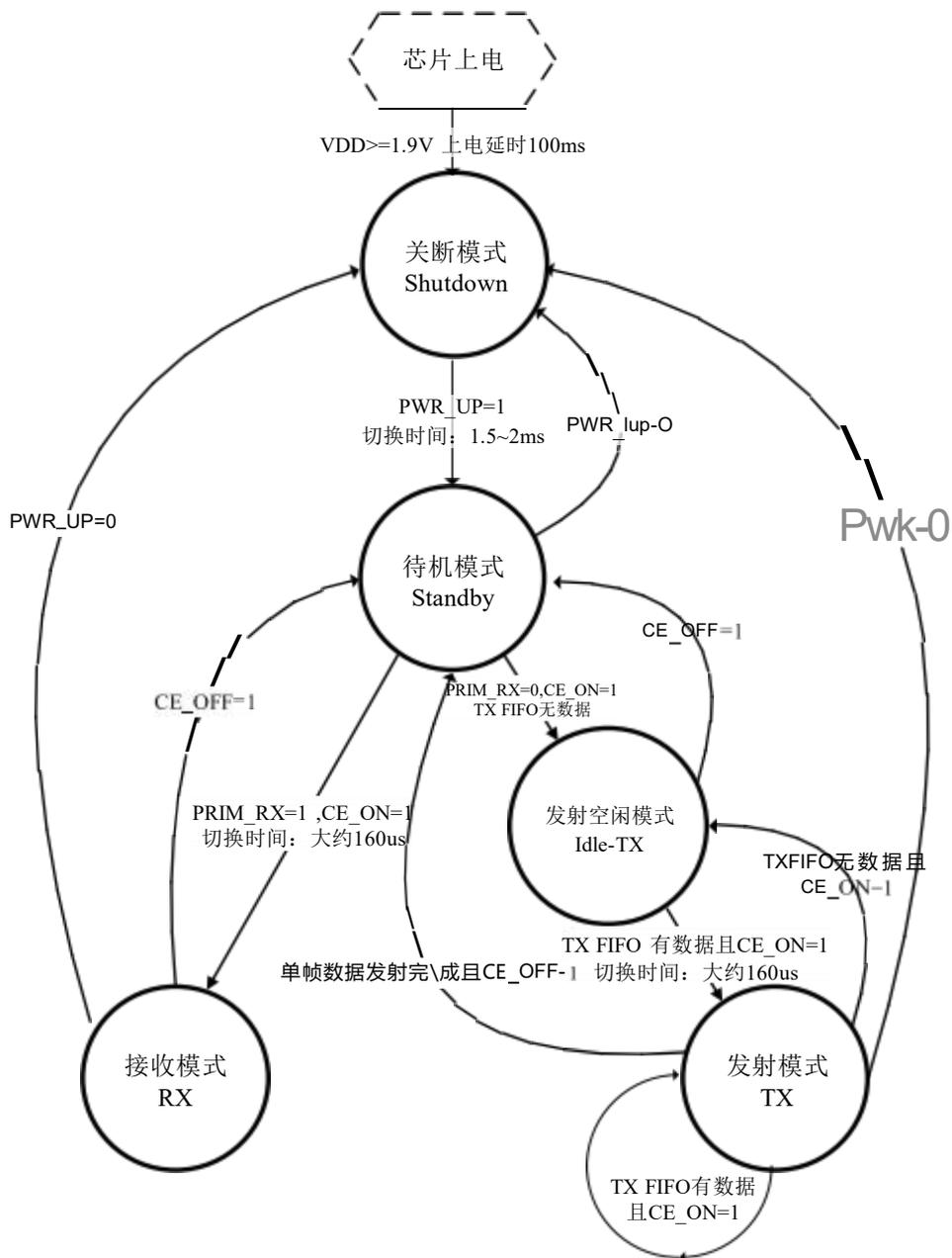


图 3-1 Ci24R1 工作模式切换图

3.1.1 Shutdown 工作模式

在 Shutdown 工作模式下，Ci24R1 所有收发功能模块关闭，芯片停止工作，消耗电流最小，但所有内部寄存器值和 FIFO 值保持不变，仍可通过 SPI 实现对寄存器的读写。设置 CONFIG 寄存器的 PWR_UP 位的值为 0，芯片立即返回到 Shutdown 工作模式。

3.1.2 Standby 工作模式

在 Standby 工作模式，只有晶体振荡器电路工作，保证了芯片在消耗较少电流的同时能够快速启动。设置 CONFIG 寄存器下的 PWR_UP 位的值为 1，芯片待时钟稳定后进入 Standby 模式。芯片的时钟稳定时间一般为 1.5~2ms，与晶振的性能有关。写完 CE_ON 命令后，芯片将由 Standby 模式进入到 Idle-TX 或 RX 模式，写 CE_OFF 命令后，芯片将由 Idle-TX、TX 或 RX 模式返回到 Standby 模式。

3.1.3 Idle-TX 工作模式

在 Idle-TX 工作模式下，晶体振荡器电路及时钟电路工作。相比于 Standby 模式，芯片消耗更多的电流。当发送端 TX FIFO 寄存器为空，并且写 CE_ON 命令，芯片进入到 Idle-TX 模式。在该模式下，如果有新的数据包被送到 TX FIFO 中，芯片内部的电路将立即启动，切换到 TX 模式将数据包发送。

在 Standby 和 Idle-TX 工作模式下，所有内部寄存器值和 FIFO 值保持不变，仍可通过 SPI 实现对寄存器的读写。

3.1.4 TX 工作模式

当需要发送数据时，需要切换到 TX 工作模式。芯片进入到 TX 工作模式的条件为：TX FIFO 中有数据，CONFIG 寄存器的 PWR_UP 位的值为 1，PRIM_RX 位的值为 0，同时要求 CE_STATE 上有一个至少持续 10us 的高脉冲。芯片不会直接由 Standby 模式直接切换到 TX 模式，而是先立即切换到 Idle-TX 模式，再由 Idle-TX 模式自动切换到 TX 模式。Idle-TX 模式切换到 TX 模式的时间大约为 160us。单包数据发送完成后，如果 CE_STATE=1(CE_ON 命令)，则由 TX FIFO 的状态来决定芯片所处的工作模式，当 TX FIFO 还有数据，芯片继续保持在 TX 工作模式，并发送下一包数据；当 TX FIFO 没有数据，芯片返回 Idle-TX 模式；如果 CE_STATE=0(CE_OFF 命令)，立即返回 Standby 模式。数据发射完成后，芯片产生数据发射完成中断。

3.1.5 RX 工作模式

当需要接收数据时，需要切换到 RX 工作模式。芯片进入到 RX 工作模式的条件为：设置寄存器 CONFIG 的 PWR_UP 位的值为 1，PRIM_RX 位的值为 1，并且引脚 CE=1。

芯片由 Standby 模式切换到 RX 模式的时间大约为 160us。当接收到数据包的地址与芯片的地址相同，并且 CRC 检查正确时，数据会自动存入 RX FIFO，并产生数据接收中断。芯片最多可以同时存三个有效数据包，当 FIFO 已满，接收到的数据包被自动丢掉。

在接收模式下，可以通过 RSSI 寄存器检测接收信号功率。当接收到的信号强度大于-50dBm 时，RSSI 寄存器的 RSSI 位的值将被设置为 1。否则，RSSI=0。RSSI 寄存器的更新方法有两种：当接收到有效的数据包后，RSSI 会自动更新，此外，将芯片从 RX 模式换到 Standby 模式时 RSSI 也会自动更新。RSSI 的值会随温度的变化而变化，范围在±5dBm 以内。

4 数据包处理协议

Ci24R1 基于包通信，支持停等式 ARQ 协议，兼容 BLE4.2 PHY&MAC。芯片内部 ARQ 协议基带处理引擎，可以不需要外部微控制器干预下，自动实现 ACK 和 NO_ACK 数据包的处理。ARQ 协议基带处理单元支持 1 到 32 字节动态数据长度，数据长度在数据包内。也可以采用固定数据长度，通过寄存器指定；基带处理单元完成数据的自动解包、打包、自动回复 ACK 确认信号以及自动重发。该处理单元内部有 6 个通信管道，可以直接支持 1：6 星型网络。

4.1 ARQ 包格式

一个完整的 ARQ 数据包包括前导码、地址、包控制字、负载数据以及 CRC。如图 4-1 显示为一个完整的包。



图 4-1 一个完整的带数据的 ARQ 包

前导码字段主要用于接收数据同步，发射时芯片自动附上，接收时芯片自动去掉，对用户不可见。

地址字段为接收数据方地址，只有当该地址与芯片的地址寄存器中地址相同时才会接收。地址长度可以通过配置寄存器 AW 配置为 3、或 4、或 5 字节。

包控制字段长度为 9bit，结构如图 4-2。



图 4-2 包控制字段格式

数据包长度子字段指定数据包的长度，可以为 0 到 32 字节。

例如：000000 = 0byte(包为空)

100000 = 32 byte(数据包长度为 32 字节)

PID 子字段告知接收端这个包是一个新的包还是一个重发的包，可以防止接收端多次接收同一个包。发射方通过 SPI 写 FIFO，PID 的值自动累加。接收端通过对比 PID 和 CRC 来判断接收的此包是新包还是重发包。如果 PID 和上一包的 PID 相同则对比 CRC，如果 CRC 也相同，则判断为上一帧数据的重发并将数据丢弃。

NO_ACK 子字段为 1 时，则表明发射方告知接收端不需要回 ACK 确认信号。对于发射方，使 NO_ACK 位为 1 需要先配置 FEATURE 寄存器中的 EN_DYN_ACK 位为 1，且使用 W_TX_PAYLOAD_NOACK 命令写 FIFO。当收到一个这样的包后，接收端不会发送 ACK 确认信号给发射方。（即使接收端工作在 ACK 接收模式）

负载数据字段为发射数据内容，可以最长 32 字节。

CRC 字段为包的 CRC 值，CRC 支持 8bit 和 16bit 两种，CRC 的长度通过 CONFIG 寄存器中的 CRCO 位配置。

4.2 ARQ 通信模式

在 TX 模式下，发送端自动将前导码、地址、包控制字、负载数据、CRC 打包。通过射频模块将信号调制通过天线发射。

在 RX 模式下，接收端在接收到的解调信号中不断侦测有效地址，一旦侦测到地址与接收地址相同，开始接收数据，如果接收到的数据有效，则将负载数据部分存放入 RX FIFO 中，并产生中断通知 MCU。MCU 通过 SPI 接口可随时访问 RX FIFO 寄存器，进行数据读取。

4.2.1 ACK 模式

当用 W_TX_PAYLOAD 命令对发送端 TX FIFO 写数据时，将数据打包后，数据包中包控制字段 NO_ACK 标志位复位。接收端接收到一帧有效数据后，产生 RX_DR 中断后，会自动发送一帧 ACK 信号，发送端接收到 ACK 信号，则自动清除 TX FIFO 数据并产生 TX_DS 发射中断，表明此次通信成功。

接收端在发送 ACK 信号时，取接收管道地址作为目标地址来发送 ACK 信号，所以发送端需要设置接收管道 0 地址与自身发送地址相同，以便接收 ACK 信号。

如果发送端在 ARD 时间内没有接收到 ACK 信号，则重新发送上一帧数据。当重发次数达到最大，仍没有收到确认信号时，发送端产生 MAX_RT 中断。MAX_RT 中断在清除之前不能进行下一步的数据发送。所有中断通过对状态寄存器进行写操作来清除。PLOS_CNT 寄存器在每产生一个 MAX_RT 中断后加 1，用来记录当前频段下，丢失的数据包的数量。ARC_CNT 寄存器记录当前数据重发的次数，在发送一包新数据时使其复位。最大重发次数与 ARD 时间通过 SETUP_RETR 寄存器来进行配置。接收端开启自动回复 ACK 信号由 EN_AA 寄存器来控制。

图 4-3 示为 ACK 模式下的一次通信完成。

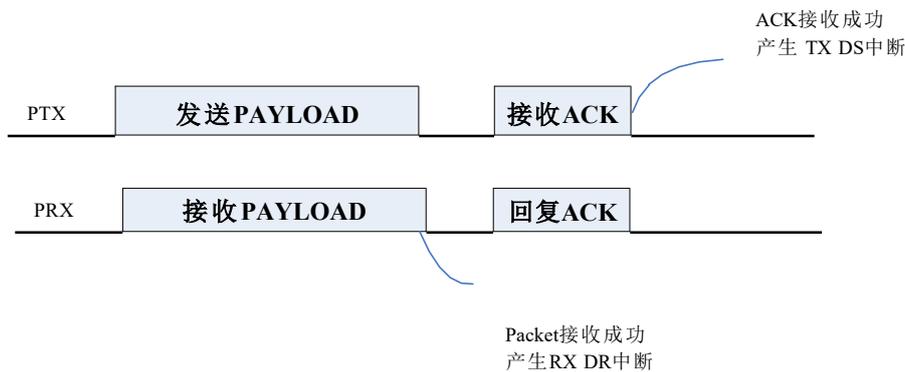


图 4-3 ACK 通信模式

发送端每当发射一个新数据包，数据对应的 PID 自动加 1，因此发送的相邻的两个数据包中，PID 应互不相同。如果链路中连续几帧数据丢失，接收端接收到的连续两帧数据的 PID 可能相同。

接收端如果发现接收到数据与上一帧数据 PID 相同，则比对 CRC，如果 CRC 也相同，则判断为上一帧数据的重发，将数据丢弃，并重新回复 ACK 信号。图 4-4 发送端第一次数据发送没有接收到 ACK 信号，进行重发后，接收到 ACK 信号，数据通信成功完成。

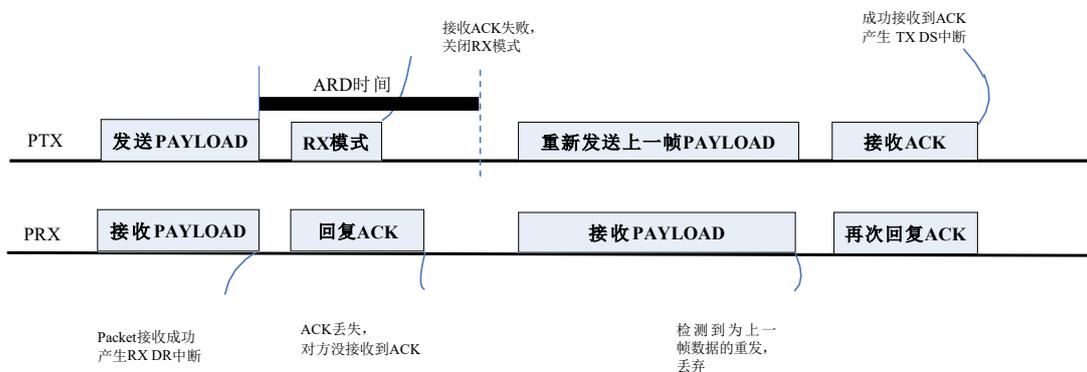


图 4-4 无 ACK PAYLOAD 通信模式

接收端在回复 ACK 信号时，可以同时发送带有负载数据的 ACK 信号（ACKPAYLOAD）。开启这一功能需要配置 FUTURE 寄存器中的 EN_ACK_PAY 位，并且双方必须开启动态负载长度。

接收端先用 W_ACK_PAYLOAD 对 TX FIFO 写入对应接收数据管道的 ACKPAYLOAD，当这一管道接收到一帧新的有效数据，产生 RX_DR 中断，并自动回复 ACK，并自动将 ACKPAYLOAD 其打包，发送给发送端；发送端收到带有负载数据的 ACK 信号后，同时产生 TX_DS 和 RX_DR 中断。当接收端再次接收到发送端发送的一包有效数据后，表示发送端已经收到 ACKPAYLOAD，清除 TX FIFO 中数据，同时产生 RX_DR 与 TX_DS 中断。如果收到的数据为上一包数据的重发，则重新将此

ACKPAYLOAD 打包，并作为 ACK 信号发送出去。图 4-5 发送端第一次发送后没有收到带有 ACKPAYLOAD 的 ACK 信号，进行重发，接收端再次将此 ACKPAYLOAD 打包，接收端收到后，进行下一帧数据发送。

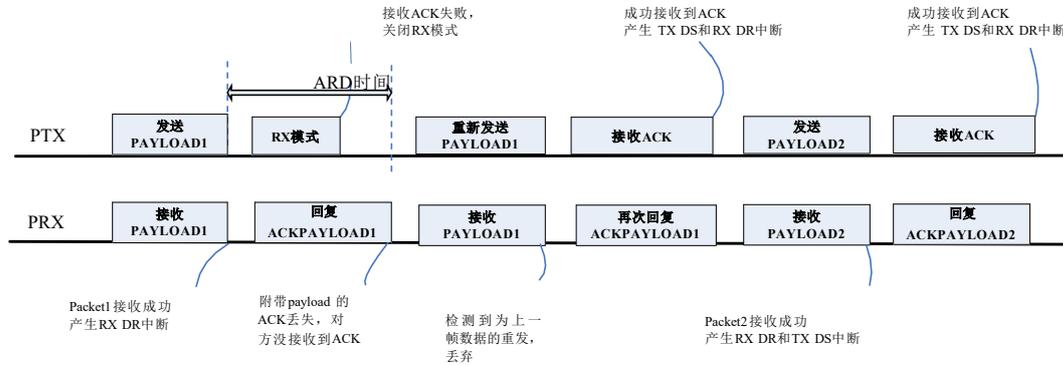


图 4-5 带 ACK PAYLOAD 通信模式

4.2.2 NO ACK 模式

用 `W_TX_PAYLOAD_NOACK` 命令对发送方写 TX PAYLOAD 时，数据包中 `NO_ACK` 标志位置位为 1，发送端发送完一包数据后，立即产生 `TX_DS` 中断，并且开始准备发送下一包数据。接收端接收到数据后判断 `NO_ACK` 标志置位，且数据有效，则产生 `RX_DR` 中断，此时一帧数据通信完成，不再回复 ACK 信号。`W_TX_PAYLOAD_NOACK` 命令通过 `FEATURE` 寄存器中的 `EN_DYN_ACK` 来使能。

4.2.3 动态 PAYLOAD 长度与静态 PAYLOAD 长度

发送端通过配置 `FEATURE` 寄存器中的 `EN_DPL` 位与 `DYNPD` 寄存器中的 `DPL_P0` 位，进入动态负载长度模式，发送的数据包中包控制字段中前 6 位为要发送的数据长度

接收端配置 `FEATURE` 寄存器中的 `EN_DPL` 位，并且开启 `DYNPD` 寄存器中相应管道的动态使能后，自动以数据包中包控制字中的数据长度来接收数据。因此每次接收到负载数据长度可以不同，并且可以通过 `R_RX_PL_WID` 命令来读出负载数据的长度。如果默认为静态负载长度，发送端每次传输的负载长度必须一致，且与接收方事先配置好的 `RX_PW_Px` 寄存器值相同。

4.2.4 多管道通信

收发器可同时进行 6 个发送端，1 个接收端之间的双向或单向通信。此时，接收端要在 `EN_RXADDR` 寄存器中使能各个管道，并设置每一个接收管道地址与对应的发送端发送地址相同。其中接收管道 0 有单独的 5 字节地址，管道 1-5 共用高 4 字节有效地址。

发射端如果需要接收 ACK 信号，还需要设置其接收管道 0 的地址与自身发送地址相同。

多管道通信模式下，发送端与接收端地址设置参考图 4-6。

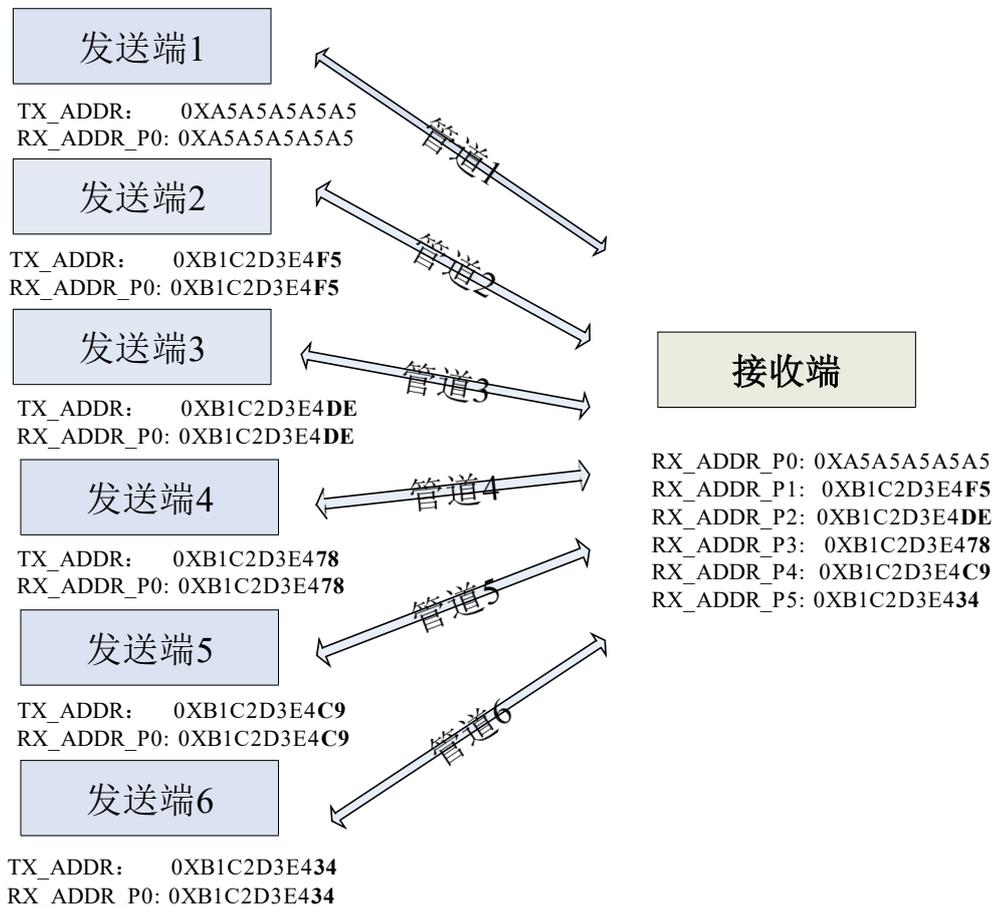


图 4-6 多管道通信模式

通过多管道操作可以直接支持最多 1:6 的星型网络。

4.3 蓝牙包格式

蓝牙数据包是只有在兼容模式下可用，数据包包括前导码、地址、负载数据以及 CRC，兼容蓝牙 4.2。广播地址固定为 0x6B7D9171。数据包最短 10 字节，最长 40 字节。



图 4-7 蓝牙数据包格式

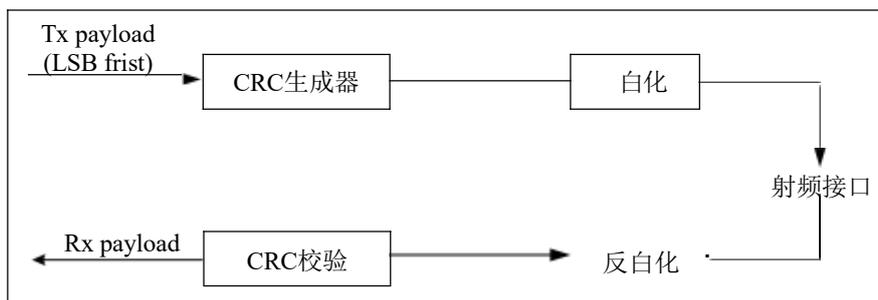


图 4-8 蓝牙数据包数据流

写寄存器 BLUE_EN=1 使能蓝牙功能，蓝牙信道可通过 blue_index 配置选择。蓝牙的数据信道、广播信道和射频信道的映射如表 4-1 所示。

表 4-1 蓝牙信道和射频信道的映射关系

射频信道	射频中心频率	信道类型	数据信道索引	广播信道索引
0	2402 MHz	广播信道		37
1	2404 MHz	数据信道	0	
2	2406 MHz	数据信道	1	
.....	数据信道		
11	2424 MHz	数据信道	10	
12	2426 MHz	广播信道		38
13	2428 MHz	数据信道	11	
14	2430 MHz	数据信道	12	
.....	数据信道	
38	2478 MHz	数据信道	36	
39	2480 MHz	广播信道		39

5 SPI 数据与控制接口

芯片采用二线 SPI 接口，最高读写速度 10Mb/S。MISO、MOSI 与 IRQ 复用 DATA 引脚，外部微控制器可以通过 SPI 接口对芯片进行配置，包括读写功能寄存器、读写 FIFO、读芯片状态、清除中断等。

5.1 SPI 命令

SPI 命令参见表 6-1。CSN 从高电平翻转为低电平，SPI 接口开始工作。DATA 是双向口，DATA 上电复位是输入口，主机可以通过 SPI 命令对芯片进行操作。当 SPI 命令为 (R_REGISTER/R_RX_PAYLOAD/R_RX_PL_WID) 并且 CSN 拉低后，DATA 切换成输出口，当 CSN 再次拉低之后，DATA 切换为输入口。操作 SELSPI 命令 (SPI 命令：选择 DATA 引脚为 SPI 功能)，当 DATA 是输出口时输出 MISO 值。命令格式中命令字按从 MSBit 到 LSBit 的顺序输入，数据格式中按从 LSByte 到 MSByte 的顺序，每字节中按从 MSBit 到 LSBit 的顺序输入。详细请参考 SPI 时序，图 5-1 及图 5-2。

表 5-1

Command name	Command word (binary)	# Data bytes	操作
R_REGISTER	000A AAAA	1 to 5 LSByte first	读寄存器命令，AAAAA表示寄存器地址（参考寄存器表）。
W_REGISTER	001A AAAA	1 to 5 LSByte first	写寄存器命令，AAAAA表示寄存器地址（参考寄存器表），只允许 Shutdown、Standby、Idle-TX模式下操作。
R_RX_PAYLOAD	0110 0001	1 to 32 LSByte first	从FIFO中读收到的数据，1-32字节，读出后FIFO数据被删除。适用于接收模式。
W_TX_PAYLOAD	1010 0000	1 to 32 LSByte first	写发射负载数据，大小为1-32字节，适用于发射模式。
FLUSH_TX	1110 0001	0	清空TX FIFO，适用于发射模式。
FLUSH_RX	1110 0010	0	清空RX FIFO，适用于接收模式。如果需要回ACK，则不能在回ACK操作完成前进行清空FIFO，否则视为通信失败。
REUSE_TX_PL	1110 0011	0	适用于发送方，清空TX FIFO或对FIFO写入新的数据后不能使用该命令。
R_RX_PL_WID	0110 0000	1	读取收到的数据字节数。

表 5-2 SPI 时序参数

Symbol	Parameters	Min	Max	Units
Tdc	Data to SCK Setup	2		ns
Tdh	SCK to Data Hold	2		ns
Tcsd	CSN to Data Valid		42	ns
Tcd	SCK to Data Valid		58	ns
Tcl	SCK Low Time	40		ns
Tch	SCK High Time	40		ns
Fsck	SCK Frequency	0	10	MHz
Tcc	CSN to SCK Setup	2		ns
Tech	SCK to CSN Hold	2		ns
Tcwh	CSN Inactive time	50		ns
Tcdz	CSN to Output High Z		42	ns

6 寄存器映射表

Address (Hex)	Mnemonic	Bit	Reset Value	Type	Description
00	CONFIG				配置寄存器
	Reserved	7	0	R/W	保留, 0
	MASK_RX_DR	6	0	R/W	接收中断屏蔽控制 0: 接收中断使能, RX_DR中断标志在IRQ引脚上产生中断信号, 低电平有效 1: 接收中断关闭, RX_DR中断标志不影响IRQ引脚输出
	MASK_TX_DS	5	0	R/W	发射中断屏蔽控制 0: 发射中断使能, TX_DS中断标志在IRQ引脚上产生中断信号, 低电平有效 1: 发射中断关闭, TX_DS中断标志不影响IRQ引脚输出
	MASK_MAX_RT	4	0	R/W	最大重发计数中断屏蔽控制 0: 最大重发计数中断使能, MAX_RT中断标志在IRQ引脚上产生中断信号, 低电平有效 1: 最大重发计数中断关闭, MAX_RT中断标志不影响IRQ引脚输出
	EN_CRC	3	1	R/W	使能CRC。如果EN_AA不全为零时, EN_CRC必须为1。 0: 关闭CRC 1: 开启CRC
	CRCO	2	0	R/W	CRC长度配置, 0: 1byte 1: 2 bytes
	PWR_UP	1	0	R/W	关断/开机模式配置 0: 关断模式 1: 开机模式
	PRIM_RX	0	0	R/W	发射/接收配置, 只能在Shutdown和Standby下更改 0: 发射模式 1: 接收模式
01	EN_AA				使能自动确认
	reg0F_selL	7:6	00	R/W	和reg0F_selH一起选择0F地址对应的寄存器

Ci24R1

	ENAA_P5	5	1	R/W	使能数据管道5自动确认
	ENAA_P4	4	1	R/W	使能数据管道4自动确认
	ENAA_P3	3	1	R/W	使能数据管道3自动确认
	ENAA_P2	2	1	R/W	使能数据管道2自动确认
	ENAA_P1	1	1	R/W	使能数据管道1自动确认
	ENAA_P0	0	1	R/W	使能数据管道0自动确认
02	EN_RXADDR				使能接收数据管道地址
	reg0F_selH	7:6	00	R/W	选择0F地址对应的寄存器 reg0F_sel[3:0] 0000 reg0F_0 0001 reg0F_1 控制前导码和CRC 0010 reg0F_2 OSC晶振电容控制 0100 reg0F_4 蓝牙 0110 reg0F_6 蓝牙CRC低字节 0111 reg0F_7 蓝牙CRC次字节 1000 reg0F_8 蓝牙CRC高字节
	ERX_P5	5	0	R/W	使能数据管道5
	ERX_P4	4	0	R/W	使能数据管道4
	ERX_P3	3	0	R/W	使能数据管道3
	ERX_P2	2	0	R/W	使能数据管道2
	ERX_P1	1	1	R/W	使能数据管道1
	ERX_P0	0	1	R/W	使能数据管道0
03	SETUP_AW				地址宽度配置
	Reserved	7:2	000000	R/W	保留, 000000
	AW	1:0	11	R/W	发射方/接收方地址宽度 00: 错误值 01 : 3bytes 10 : 4bytes 11 : 5bytes
04	SETUP_RETR				自动重发配置
	ARD	7:4	0000	R/W	自动重发延时配置 0000: 250uS 0001: 500uS 0010: 750uS 1111: 4000uS
	ARC	3:0	0011	R/W	最大自动重发次数 0000: 关闭自动重发 0001: 1次 0010: 2次

Ci24R1

					----- 1111: 15次
05	RF_CH				射频信道
	Reserved	7	0	R/W	保留, 0
	RF_CH	6:0	0000010	R/W	设置芯片工作时的信道, 分别对应第0~125个信道; 信道间隔为1MHz, 默认为02即2402MHz
06	RF_SETUP				射频配置
	CONT_WAVE	7	0	R/W	为'1'时, 使能恒载波发射模式, 用来测试发射功率
	Reserved	6	0	R/W	保留, 0
	RF_DR_LOW	5	0	R/W	设置射频数据率为250kbps、1Mbps或2Mbps, 与RF_DR_HIGH共同控制
	PLL_LOCK	4	0	R/W	保留字, 必须为0
	RF_DR_HIGH	3	1	R/W	设置射频数据率 [RF_DR_LOW, RF_DR_HIGH]: 00: 1Mbps 01: 2Mbps 10: 250kbps 11: 保留
	RF_PWR	2:0	110	R/W	设置TX发射功率 111: 保留 110: 保留 101: 9dBm 100: 7dBm 011: 3dBm 010: -1dBm 001: -4dBm 000: -9dBm
07	STATUS				状态寄存器(SPI操作的第一个字节, 状态寄存器值通过MISO串行输出)。
	Reserved	7	0	R/W	保留,0
	RX_DR	6	0	R/W	RX FIFO有值标志位, 写'1'清除。
	TX_DS	5	0	R/W	发射端发射完成中断位, 如果是ACK模式, 则收到ACK确认信号后TX_DS位置'1', 写'1'清除。
	MAX_RT	4	0	R/W	达到最大重发次数中断位, 写'1'清除。
	RX_P_NO	3:1	111	R	收到数据的接收管道PPP号, 可以通过SPI读出。 000-101: 数据管道0-5 110: 不可用 111: RX FIFO为空
	TX_FULL	0	0	R	TX FIFO满标志位。

Ci24R1

08	OBSERVE_TX				发射结果统计
	PLOS_CNT	7:4	0	R	丢包计数。 最大计数为15，改变RF_CH后 PLOS_CNT从0开始计数。
	ARC_CNT	3:0	0	R	重发计数。 发射一个新包时，ARC_CNT从0开始计数。
09	RSSI				接收信号强度检测
	Reserved	7:1	000000	R	
	RSSI	0	0	R	接收信号强度：0：接收信号小于 <-50dBm
0A	RX_ADDR_P0	39:0	0xE7E7E7E7E7	R/W	数据管道0的接收地址，最大宽度为 5bytes (LSByte最先写入，通过 SETUP_AW配置地址宽度)。
0B	RX_ADDR_P1	39:0	0xC2C2C2C2C2	R/W	数据管道1的接收地址，最大宽度为 5bytes (LSByte最先写入，通过 SETUP_AW配置地址宽度)。
0C	RX_ADDR_P2	7:0	0xC3	R/W	数据管道2的接收地址的最低字节，接 收地址高字节与RX_ADDR_P1[39:8] 相同。
0D	RX_ADDR_P3	7:0	0xC4	R/W	数据管道3的接收地址的最低字节，接 收地址高字节与RX_ADDR_P1[39:8] 相同。
0E	RX_ADDR_P4	7:0	0xC5	R/W	数据管道4的接收地址的最低字节，接 收地址高字节与RX_ADDR_P1[39:8] 相同。
0F_0	RX_ADDR_P5	7:0	0xC6	R/W	数据管道5的接收地址的最低字节，接 收地址高字节与RX_ADDR_P1[39:8] 相同。
0F_1		7:5	0	R/W	保留
	PREA_EN	4		R/W	使能前导码长度改变 0：不可改变前导码长度， 1：可调改变前导码长度
	CRC_SEL	3:2	0	R/W	01 crc_1021 10 crc_8005 00/11 原CRC 只有CRC打开且选择2bytes的CRC时 才能选择crc_1021或crc_8005
	PREA_LEN	1:0	0	R/W	控制前导码长度 00:1byte; 01:2bytes;

Ci24R1

				10:3bytes; 11:4bytes	
0F_2		7:4	0	R/W	OSC晶振电容控制 0000: 0pF 0001:1.5pF 0010: 3pF 0011: 4.5pF 0100: 6pF 0101: 7.5pF 0110: 9pF 0111: 10.5pF 1000: 12pF 1001: 13.5pF 1010: 15pF 1011: 16.5pF 1100: 18pF 1101: 19.5pF 1110: 21pF 1111: 22.5pF 注：当OSC没有外接电容时，推荐使用16.5pF。
		3:0	0	R/W	保留
0F_4		7	0x0	R/W	蓝牙使能，1：使能蓝牙功能
		6			保留
		5:0	00	R/W	蓝牙index 见表4-1
0F_6		7:0	0x55		蓝牙CRC低字节
0F_7		7:0	0x55		蓝牙CRC次字节
0F_8		7:0	0x55		蓝牙CRC高字节
10	TX_ADDR	39:0	0xE7E7E 7E7E7	R/W	发射方的发射地址(LSByte最先写入)，如果发射放需要收ACK确认信号，则需要配置RX_ADDR_P0的值等于TX_ADDR，并使能ARQ。
11	RX_PW_P0				
	Reserved	7:6	00	R/W	保留
	RX_PW_P0	5:0	0	R/W	接收数据管道0数据字节数 (1—32Bytes)。 1： 1byte 32： 32bytes
12	RX_PW_P1				
	Reserved	7:6	00	R/W	保留
	RX_PW_P1	5:0	0	R/W	接收数据管道1数据字节数 (1—32Bytes)。 1： 1byte 32： 32bytes
13	RX_PW_P2				

Ci24R1

	Reserved	7:6	00	R/W	保留
	RX_PW_P2	5:0	0	R/W	接收数据管道2数据字节数 (1—32Bytes)。 1: 1byte ----- 32: 32bytes
14	RX_PW_P3				
	Reserved	7:6	00	R/W	保留
	RX_PW_P3	5:0	0	R/W	接收数据管道3数据字节数 (1—32Bytes)。 1: 1byte ----- 32: 32bytes
15	RX_PW_P4				
	Reserved	7:6	00	R/W	保留
	RX_PW_P4	5:0	0	R/W	接收数据管道4数据字节数 (1—32Bytes)。 1: 1byte ----- 32: 32bytes
16	RX_PW_P5				
	Reserved	7:6	00	R/W	保留
	RX_PW_P5	5:0	0	R/W	接收数据管道5数据字节数 (1—32Bytes)。 1: 1byte ----- 32: 32bytes
17	FIFO_STATUS				FIFO状态
	Reserved	7	0	R/W	保留, 0
	TX_REUSE	6	0	R	只用于发射端, FIFO数据重新利用 当用REUSE_TX_PL命令后, 发射上次 已成功发射的数据, 通过 W_TX_PAYLOAD或FLUSH TX命令 关闭该功能
	TX_FULL	5	0	R	TX FIFO满标志 1: TX FIFO满 0: TX FIFO可写
	TX_EMPTY	4	1	R	TX FIFO空标志

Ci24R1

					1: TX FIFO为空 0: TX FIFO有数据
	Reserved	3:2	00	R/W	保留, 00
	RX_FULL	1	0	R	RX FIFO满标志 1: RX FIFO满 0: RX FIFO可写
	RX_EMPTY	0	1	R	RX FIFO空标志 1: RX FIFO为空 0: RX FIFO有数据
1C	DYNPD				使能动态负载长度
	Reserved	7:6	0	R/W	保留, 00
	DPL_P5	5	0	R/W	使能接收管道5动态负载长度(需EN_DPL及ENAA_P5)。
	DPL_P4	4	0	R/W	使能接收管道4动态负载长度(需EN_DPL及ENAA_P4)。
	DPL_P3	3	0	R/W	使能接收管道3动态负载长度(需EN_DPL及ENAA_P3)。
	DPL_P2	2	0	R/W	使能接收管道2动态负载长度(需EN_DPL及ENAA_P2)。
	DPL_P1	1	0	R/W	使能接收管道1动态负载长度(需EN_DPL及ENAA_P1)。
	DPL_P0	0	0	R/W	使能接收管道0动态负载长度(需EN_DPL及ENAA_P0)。
1D	FEATURE			R/W	特征寄存器
	Reserved	7:3	0	R/W	保留,00000
	EN_DPL	2	0	R/W	使能动态负载长度
	EN_ACK_PAYd	1	0	R/W	使能ACK负载(带负载数据的ACK包)
	EN_DYN_ACK	0	0	R/W	使能命令W_TX_PAYLOAD_NOACK

7 主要参数指标

7.1 极限参数

工作条件	最小值	最大值	单位
电源电压			
VDD	-0.3	3.6	V
VSS		0	V
输入电压			
VI	-0.3	3.6	V
输出电压			
VO	VSS to VDD	VSS to VDD	V
总功耗			
		100	mW
温度			
工作温度范围	-40	+125	°C
存储温度	-40	+125	°C
ESD 性能	HBM(Human Body Model): ±2000V		

7.2 电气指标

条件: VDD=3V, VSS=0V TA=27°C, 晶振 CL=12pF

符号	参数	最小值	典型值	最大值	单位	备注
OP 参数						
VDD	电源电压范围	2.1		3.6	V	
ISHD	Shutdown 模式电流		2	4	μA	
ISTB	Standby 模式电流		20		μA	
IDLE	Idle-TX 模式电流		400		μA	
IRX	RX 模式电流		20		mA	
ITX@9dBm	TX 模式电流 @9dBm		35		mA	
ITX@2dBm	TX 模式电流 @2dBm		25		mA	
ITX@-4dBm	TX 模式电流 @-4dBm		19		mA	
ITX@-10dBm	TX 模式电流 @-10dBm		18		mA	
RF 参数						
FOP	RF 频率范围	2400		2525	MHz	
FCH	RF 信道间隔	1			MHz	2Mbps 时至

Ci24R1

						少为 2MHz
$\Delta F_{MOD}(2Mbps)$	调制频率偏移		± 330		KHz	
$\Delta F_{MOD}(1M/250Kbps)$	调制频率偏移		± 175		KHz	
R_{GFSK}	数据速率	250		2000	Kbps	
RX 参数						
$RX_{SENS}@250kbps$	灵敏度@250kbps		-90		dBm	
$RX_{SENS}@1Mbps$	灵敏度@1Mbps		-84		dBm	
$RX_{SENS}@2Mbps$	灵敏度@2Mbps		-80		dBm	
TX 参数						
P_{RF}	RF 输出功率	-10		9	dBm	
$P_{BW}@2Mbps$	调制带宽		2.1		MHz	
$P_{BW}@1Mbps$	调制带宽		1.1		MHz	
$P_{BW}@250Kbps$	调制带宽		0.9		MHz	
晶振参数						
F_{XO}	晶振频率		16		MHz	
ΔF	频偏		± 20		ppm	
ESR	等效损耗电阻		100		Ω	

8 封装信息

本芯片支持 SOP-8 和 DFN-8 封装。

8.1 SOP-8 封装

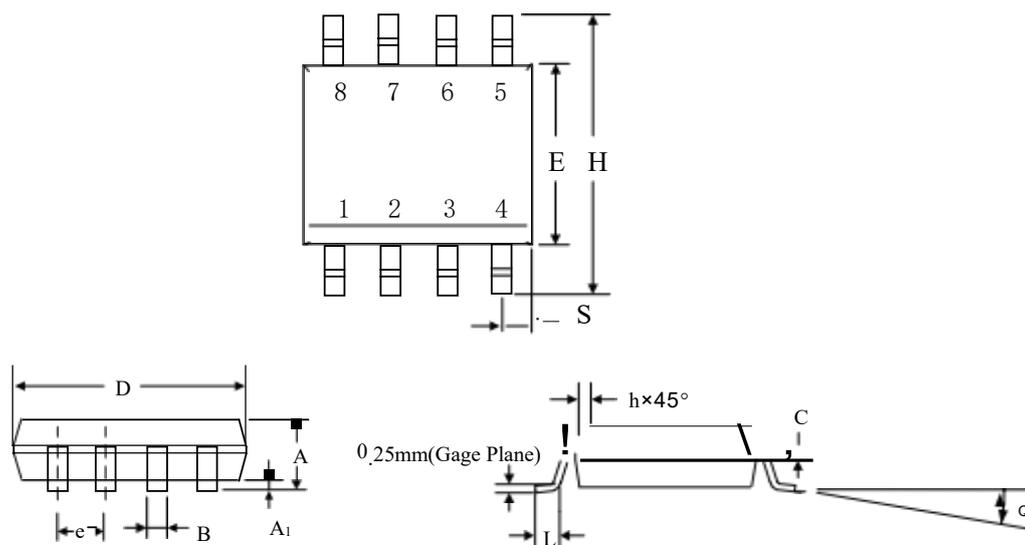


图 8-1 芯片封装(SOP-8)

表 8-1 封装尺寸

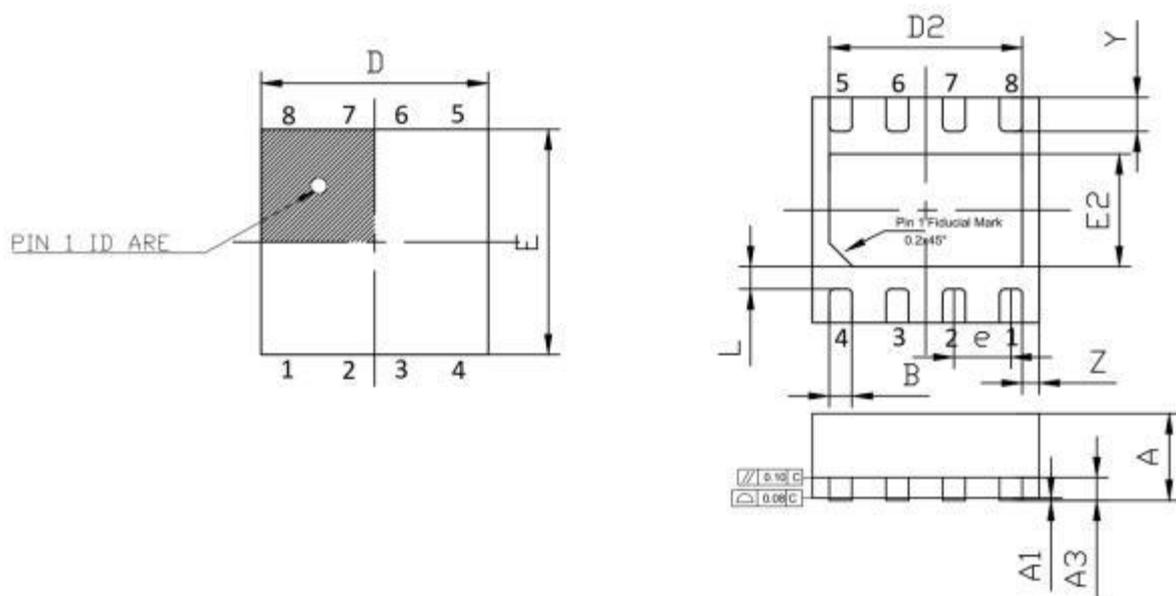
DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	1.35	1.75	0.053	0.069
A1	0.10	0.20	0.004	0.008
B	0.35	0.51	0.014	0.020
C	0.19	0.25	0.0075	0.010
D	4.80	5.00	0.189	0.196
E	3.80	4.00	0.150	0.157
e	1.27BSC		0.050BSC	
H	5.80	6.20	0.228	0.244
h	0.25	0.50	0.010	0.020
L	0.50	0.93	0.020	0.037
q	0°	8°	0°	8°
S	0.44	0.64	0.018	0.026

8.2 DFN-8 封装

尺寸

单位	D	E	D2	E2	A	A1	A3	B	e	K	L	y	Z
mm	2.025	2.025	1.75	1.05	0.80	0.05	0.203	0.30	0.50	-	0.25	0.30	0.15
	(2.00)	(2.00)	(1.7)	(1.0)	(0.75)	(0.02)	REF	(0.25)	BSC		(0.2)	REF	REF
	1.975	1.975	1.65	0.95	0.70	0.00		0.20			0.15		

注：所有尺寸单位均为毫米



9. 典型应用原理图

9.1 SOP 封装

9.1.1 典型应用原理图

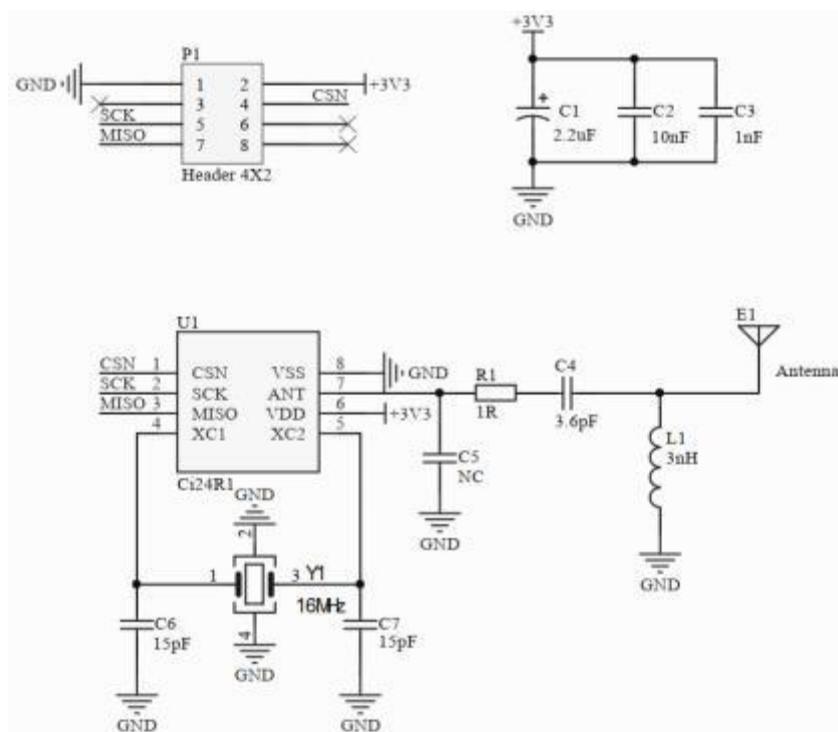


图 9-1 典型应用原理图（SOP-8 封装）

表 9-1 元器件 BOM 表

器件名称	数值	封装
C1	2.2uF	0603(1608)
C2	10nF	0603(1608)
C3	1nF	0603(1608)
C4	3.6pF	0603(1608)
C5	NC	0603(1608)
C6, C7	15pF	0603(1608)
L1	3nH	0603(1608)
R1	1R	0603(1608)
Y1	16MHz	CRYSTAL_SMD_3225-4PIN_3.2X2.5MM
U1	Ci24R1	SOP-8
P1	Header 4X2	HDR2X4

9.1.2 PCB 布线

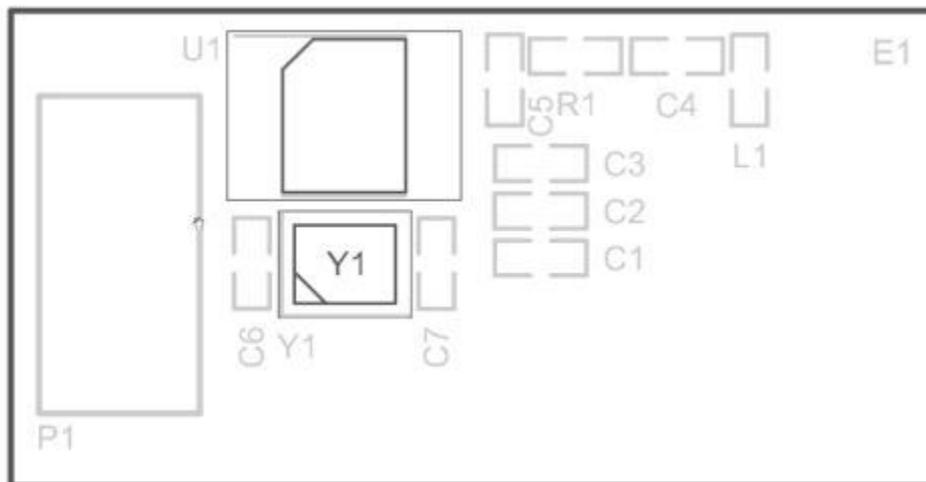


图 9-2 片上天线顶层丝印图 (0603 元件)

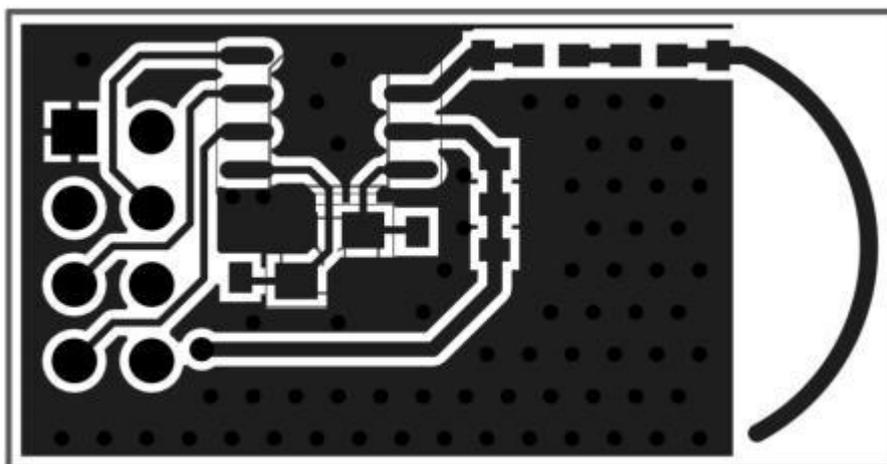


图 9-3 片上天线顶层布线图 (0603 元件)

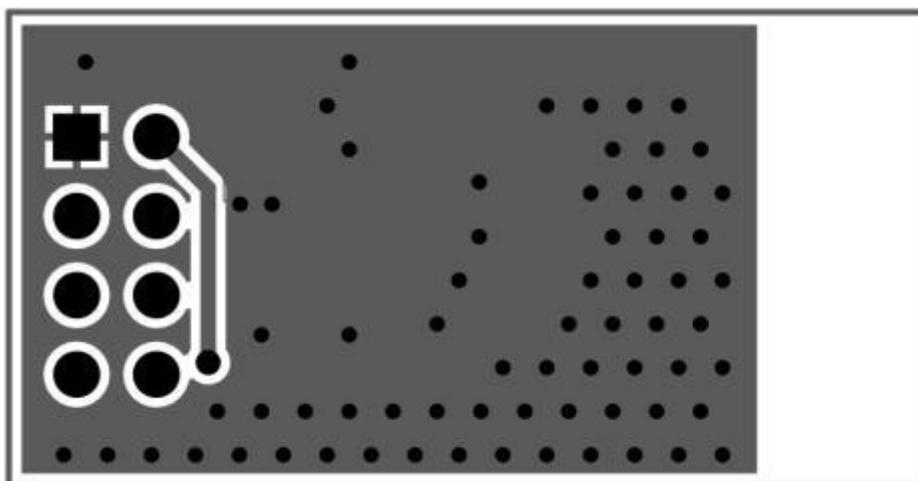


图 9-4 片上天线底层布线图

9.2 DFN 封装

9.2.1 典型应用原理图

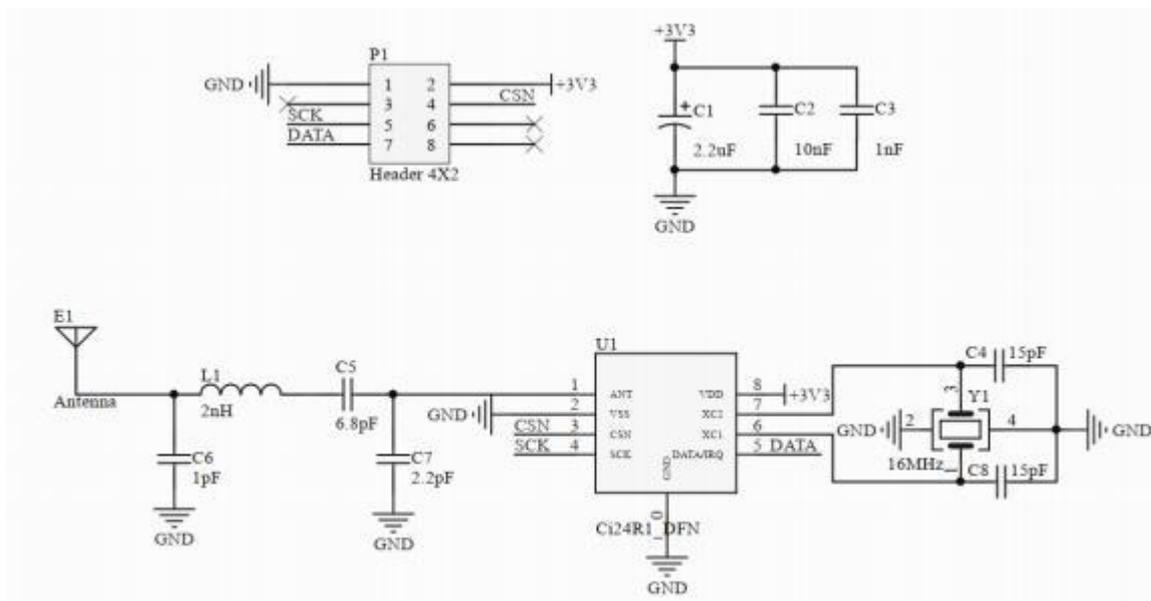


图 9-5 典型应用原理图（DFN-8 封装）

表 9-2 元器件 BOM 表

器件名称	数值	封装
C1	2.2uF	0603(1608)
C2	10nF	0603(1608)
C3	1nF	0603(1608)
C4, C8	15pF	0603(1608)
C5	6.8pF	0603(1608)
C6	1pF	0603(1608)
C7	2.2pF	0603(1608)
L1	2nH	0603(1608)
Y1	16MHz	CRYSTAL_SMD_2016-4PIN
U1	Ci24R1_DFN	DFN-8
P1	Header 4X2	HDR2X4

9.2.2 PCB 布线

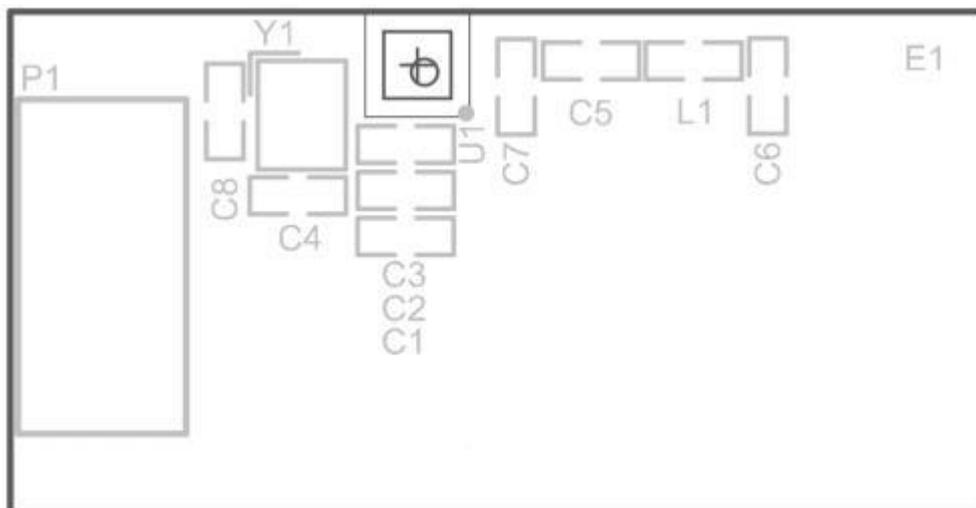


图 9-6 片上天线顶层丝印图 (0603 元件)

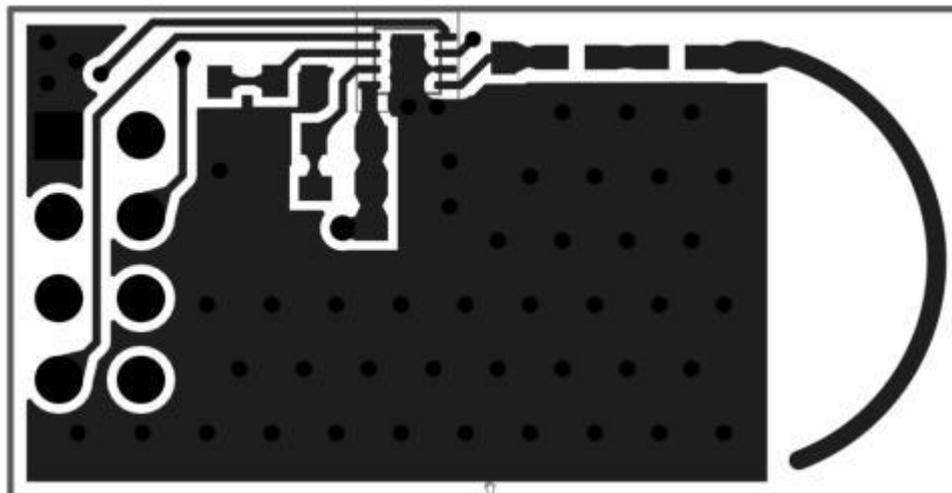


图 9-7 片上天线顶层布线图 (0603 元件)

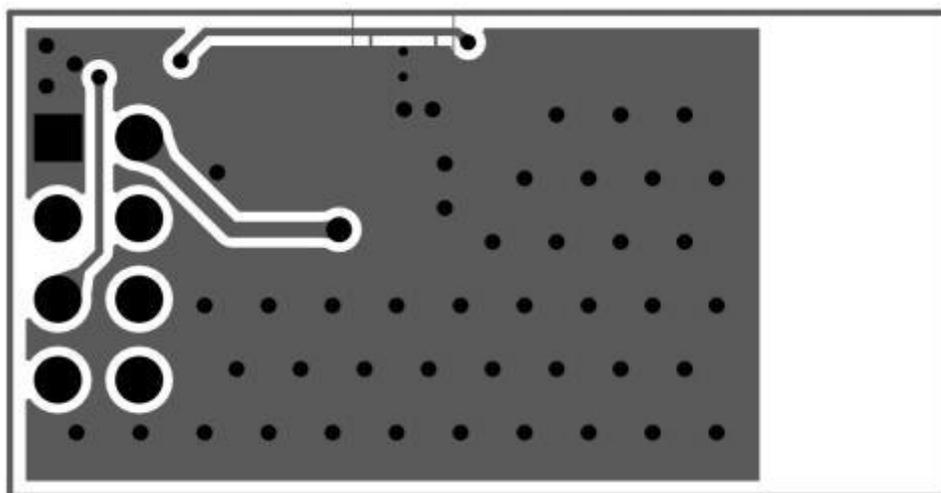


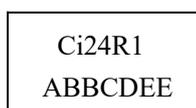
图 9-8 片上天线底层布线图

10 版本信息

版本	修改日期	修改内容
V1.4	2021/12/13	1. 在第 4 章增加 ARQ 包及其通常过程描述； 2. 在第 9 章典型应用原理图上的 ANT 脚增加 0Ω 电阻。
V1.5	2022/01/06	1. 增加 DFN-8 封装。
V1.6	2022/01/13	1. 修改 SPI 时序大小尾端错误。
V1.7	2022/06/27	1. 特性参数描述中增加数字 IO 电压范围； 2. 特性参数描述中增加待机功耗。
V1.8	2022/09/06	更新典型应用原理图。
V1.9	2022/10/20	更新灵敏度单位与订单信息
V2.0	2022/10/24	更新订单信息
V2.1	2023/01/13	更新 SOP 封装应用原理图中 C6 的值
V2.2	2023/03/01	典型应用原理图中的 MISO 改为 DATA
V2.3	2023/11/29	增加电气参数：I _{SHD} 最大值为 4uA
V2.4	2023/11/30	RF 最大发射功率为 9dBm
V2.5	2024/04/03	修改数据包格式的 PID 描述
V2.6	2024/04/23	修改典型应用原理图、PCB 布线图和 BOM 表
V2.7	2024/06/14	修改引脚图

11 订单信息

封装标志



Ci24R1:芯片代码

A: 封装日期年代码, 5 代表 2020 年

BB:加工发出周记, 例如 42 代表是 A 年的第 42 周发出加工

C:封装工厂代码, 为 A、HT、NJ 或 WA, 也简写为 A、H、N 或 W

D:测试工厂代码, 为 A、Z、或 H

EE:生产批次代码

表 11-1 订单信息表

订单代码	封装	包装	最小单位
Ci24R1-Sample		Box/Tube	5
Ci24R1	SOP-8	Tape and reel	4K
Ci24R1	DFN-8	Tape and reel	4K