
EC616S/L 数据手册

EigenCOMM Wireless Microcontroller

文档说明

本文档描述移芯通信 NB-IoT 芯片 EC616S/L 的规格，SoC（片上系统），射频，电源管理，管脚，接口，电气特性，封装等芯片硬件信息，为 EC616S/L 硬件工程师和软件驱动工程师提供参考。

目录

1. 规格	3
1.1 特性	4
2. SoC	5
2.1 处理器子系统	5
2.2 通信子系统	5
2.3 外设子系统	5
2.4 时钟子系统	6
3. 射频	7
3.1 射频系统框图	7
3.2 频段	7
4. 电源管理	8
4.1 电源电压	8
4.2 电源配置	8
4.3 功耗状态	8
5. 管脚	10
5.1 管脚映射	10
5.1.1 管脚定义	11
5.1.2 管脚描述	12
5.2 管脚复用	14
6. 接口	15
6.1 UART	18
6.2 LPUART	18
6.3 I2C	19
6.4 SPI	19
6.5 AUXADC	20
6.5.1 AUXADC 框图	20
6.5.2 功能规格	21
7. 封装	23
7.1 封装机械尺寸	23
7.2 芯片丝印	23
7.3 回流焊	24
7.4 环保	25
8. 版本	26

1. 规格

EC616S/L 是上海移芯通信科技有限公司研发的超低成本、超低功耗和超高集成度 NB-IoT SoC 芯片，完全支持 3GPP Rel14 NB-IoT 标准。

EC616S/L 具有以下特点：

- 集成射频收发机，PA，射频滤波器，天线开关以及电源管理
- 各种无线环境下优异的通信性能和稳定性
- 各种模式下（PSM，DRX，eDRX，连接态）优异的功耗表现
- 特有的 MCU 模式，提供更低的工作电流以及更短的醒来时间

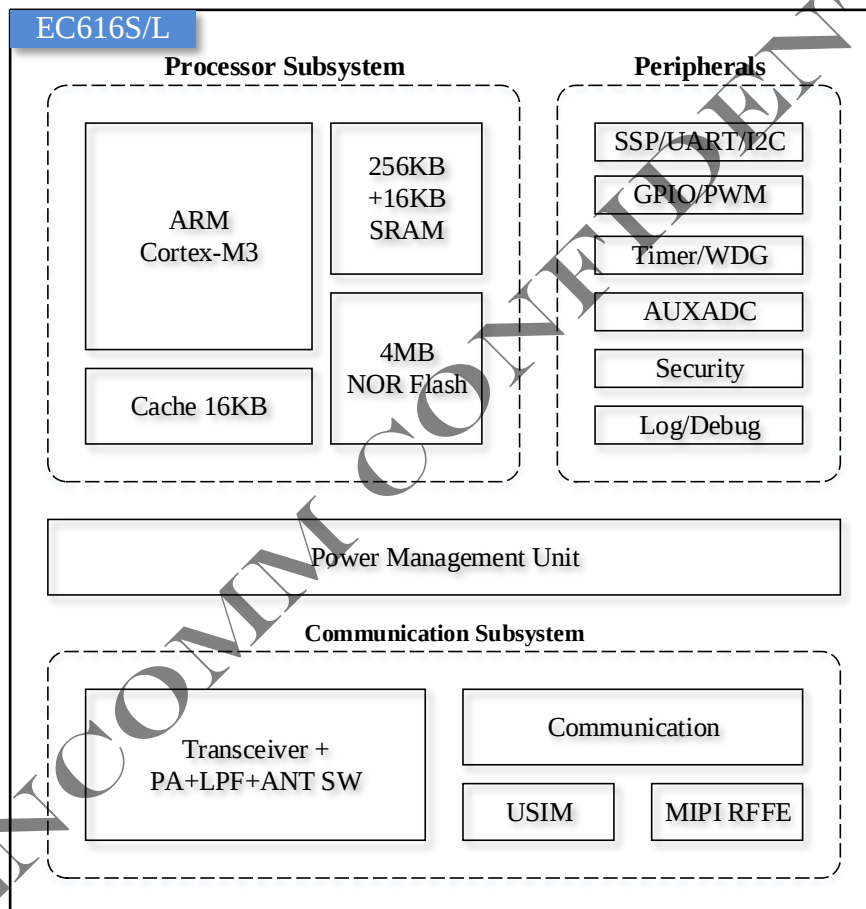


图 1-1: EC616S/L 框图

1.1 特性

- 处理器
 - Cortex-M3, 支持 MPU
 - 可配置 CPU 频率, 最高 204MHz
 - 8-通道 DMA
- 存储器
 - 4MB 芯片内 NOR flash
 - 272KB 晶圆内 SRAM, 分为 256KB 和 16KB 两块
 - 16KB 指令 cache
- 系统
 - 灵活配置支持 1.8/2.8/3.3V IO
 - 时钟源: 26MHz TCXO 或 DCXO, 32.768KHz 晶振
 - 1 个外部唤醒源 (中断)
 - 特有的 MCU 模式, 该模式下以内部 RC 振荡器作为时钟, 功耗更低
 - LOG 口, UNIOLOG
 - 调试口, SWD
- 外设
 - 16 GPIO
 - 3 UART, 2 SSP, 2 I2C
 - 6 PWM, 6 Timers, 6 GPIO counter, 1 WDG
 - 32KHz RTC timer
 - USIM, 支持 Esim
 - LPUART
 - 4 通道 12-bit AUXADC
 - 温度传感器
 - 电池电压监测
- 低功耗
 - 独特的低功耗架构, 4 级睡眠模式
 - PSM: 800nA
 - DRX (2.56s): 典型值 110uA
 - RX: 典型值 10mA
 - TX: 典型值 24mA
- 通信
 - 完全支持 3GPP R14 NB-IoT
 - Category NB2, 2-HARQ
 - Multi-tone NPUSCH
 - Anchor and non-anchor carrier
 - In-band same/different PCI, guard-band, standalone
 - Multi-carrier paging, NPRACH
 - Positioning: OTDOA & ECID
 - ROHC, RAI, multiple-DRB, RRC connection re-establish
 - SC-PTM (need SW upgrade)
- 射频
 - EC616S 支持频段: 3,5,8
 - EC616L 支持频段: 5,8
 - 芯片集成 PA, 支持 APT 功能
 - 芯片集成射频收发滤波器及天线开关
 - 功率等级 3
- 安全
 - 硬件加解密模块 (AES, SHA)
 - Secure boot
 - flash encryption
 - True random number generator
- 应用
 - 支持 open-CPU
 - 软件符合 CMSIS 架构
 - 支持主流云服务
 - IPv4, IPv6 and non-IP
 - UDP, TCP
 - DTLS, TLS, SSL
 - MQTT, CoAP, HTTP(S)
 - LWM2M
 - 支持 FOTA
- 封装
 - 6mm*6mm*0.9mm QFN52, 0.4mm pitch
- 电压范围: 2.2V to 4.5V

2. SoC

2.1 处理器子系统

处理器子系统采用单核架构，即，协议软件和应用软件都运行在唯一的 CPU 上

- CPU 采用 ARM Cortex-M3，支持频率 204M/102M/26M
- 8-entry MPU
- 8-channel DMA
- 16KB cache
- 256KB 大 SRAM 和 16KB 小 SRAM，不同的低功耗模式可以保持不同 SRAM 内容，以达到最低的睡眠功耗
- 4MB on-chip NOR flash
- 硬件加解密模块
- 硬件 log 模块，可通过 UART 和 SSP 输出 log
- 8 个 NVIC 中断端口，两个 32 端口二级中断控制器（XIC）

2.2 通信子系统

通信子系统包括 NB-IoT 的基带硬件、射频和协议软件，特点如下：

- 完全支持 3GPP R14 NB-IoT 标准
- 支持全球频段
- 支持 Category NB2，最大 TBS = 2536
- 支持 2-HARQ，结合 CAT-NB2，数据吞吐率比 CAT-NB1 提高 5 倍
- 支持 Multi-tone NPUSCH，支持 1/3/6/12 子载波
- 支持 Anchor and non-anchor carrier
- 支持 In-band same/different PCI, guard-band, standalone 网络部署
- 支持 Multi-carrier paging 和 Multi-carrier NPRACH
- 定位：OTDOA & ECID
- 其他：ROHC, RAI, multiple-DRB, RRC connection re-establish
- 支持 SC-PTM (需软件升级)

2.3 外设子系统

外设包括：

- 最大支持 16 GPIO
- 最大支持 6 个带输入计数 GPIO
- 最大支持 3 个 UART
- 最大支持 2 个 SSP
- 最大支持 2 个 I2C
- 最大支持 6 个 PWM, 6 个 Timer
- 1 个 WDG

- 支持 USIM 和 eSIM
- 支持低功耗 UART
- 4 通道 12-bit AUXADC
- 温度传感器
- 电池电压监测

2.4 时钟子系统

EC616S/L 需两个外部时钟源，26M 晶体和 32.768K 晶体。其中，26M 晶体为射频和 SoC 提供时钟，32.768K 为电源管理模块（PMU）提供时钟源，也为 SoC 中的定时器提供时钟。如下图所示：

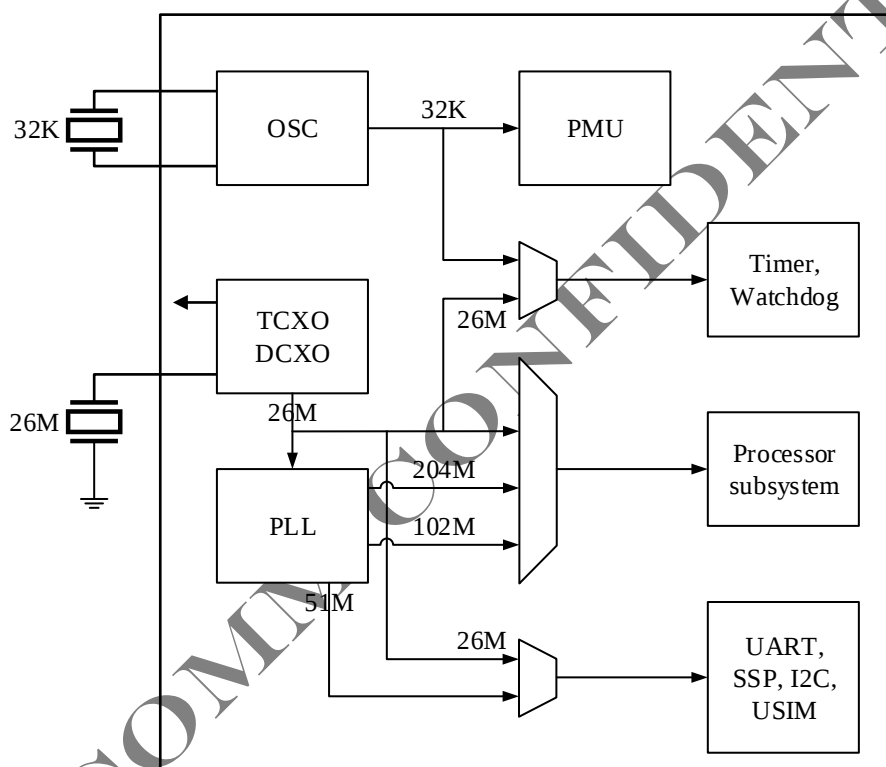


图 2.4-1: EC616S/L 时钟子系统

3. 射频

3.1 射频系统框图

射频系统如下图所示：

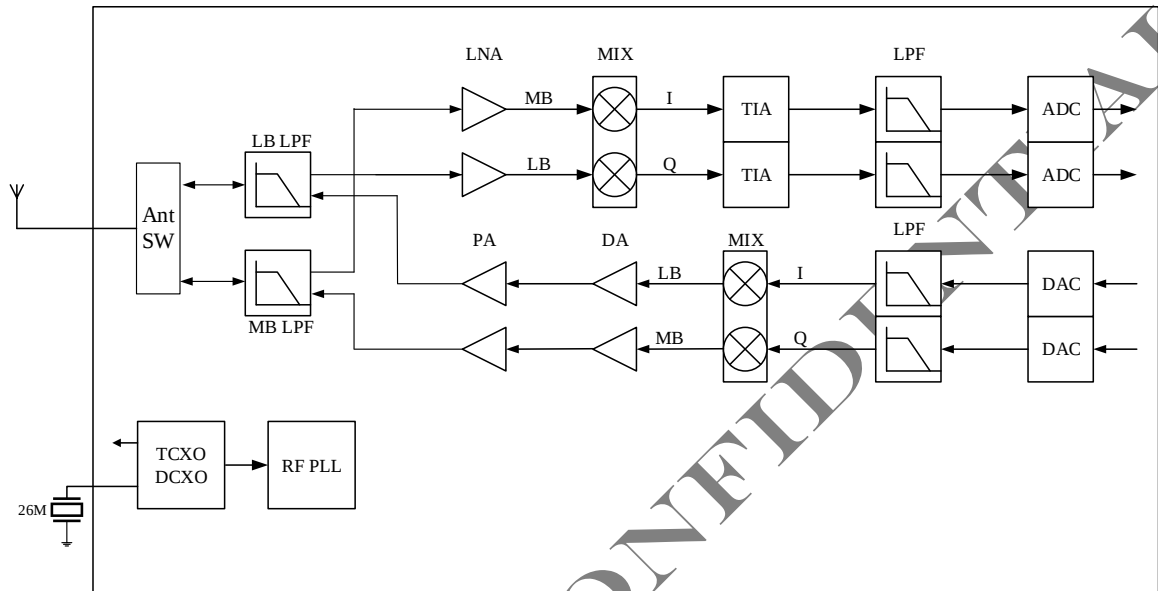


图 3.1-1: EC616S 射频系统

注: EC616L 在 EC616S 基础上删除了 MB 的射频前端，其他不变。

3.2 频段

EC616S 支持的频段分为低频段和中频段两类，EC616L 只支持低频段，具体如表 3.2-1:

表 3.2-1: EC616S/L 支持频段

频段分类	频率范围	频段号
低频段	791MHz – 960MHz	EC616S: 5,8 EC616L: 5, 8
中频段	1695MHz – 2200MHz	EC616S: 3

4. 电源管理

4.1 电源电压

芯片内主要电源电压如表 4.1-1 所示：

表 4.1-1: EC616S/L 电源

电源	典型电压	供电对象
SIMO11DIG	1.1V	数字
SIMO19FLASH	1.9V	FLASH、TCXO
SIMO15RF	1.5V	射频
DCDCPA	APT 可调	射频 PA
LDO_SIM	1.8/3.0V	SIM 卡
LDO_1833IO	1.8V/2.8/3.3V	I/O 接口

4.2 电源配置

根据外围器件和电路需要，可配置电源和电压如表 4.2-1 所示：

表 4.2-1: EC616S/L 可配置电源

可配置电压	芯片内部电源	电压值
GPIO 和外设接口电压	LDO_IO	1.8V/2.8V/3.3V 可选
USIM 供电电压	LDO_SIM	1.8V/3.0V 可选

4.3 功耗状态

EC616S/L 支持如下功耗状态：

表 4.3-1: EC616S/L 不同状态功耗

功耗状态名称	应用	电流大小
运行态	CPU 正在运行	从上到下， 电流递减
空闲态	CPU 处于 WFI (IDLE)，主体未掉电	
睡眠态 1	主体掉电，16KB SRAM 保持内容，256KB SRAM 保持内容	
睡眠态 2	主体掉电，16KB SRAM 保持内容，256KB SRAM 不保持内容	

休眠态 1	主体掉电，SRAM 都不保持内容	
休眠态 2	主体掉电，SRAM 都不保持内容	

EiGENCOMM CONFIDENTIAL

5. 管脚

5.1 管脚映射

EC616S 为 6mm*6mm 的 QFN52 封装, 0.4mm pitch, 管脚定义的顶视图如图表 5.1-1 所示

EC616L 由于删除了 MB, PIN47 内部悬空。

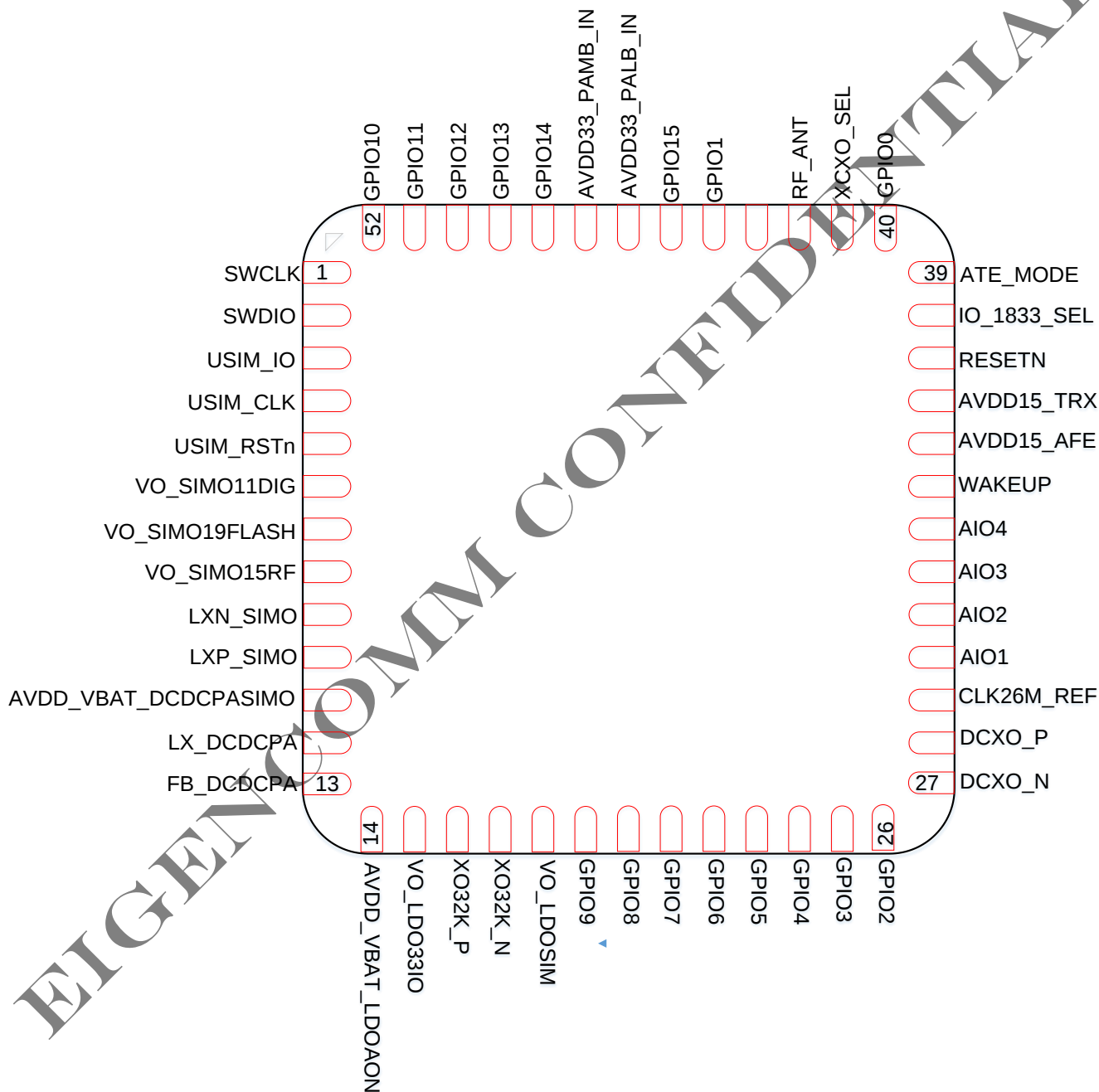


图 5.1-1. EC616S/L ball diagram, 顶视图

5.1.1 管脚定义

表 5.1.1-1 管脚定义

Pin#	NETNAME	Pin#	NETNAME
1	SWCLK	27	DCXO_N
2	SWDIO	28	DCXO_P
3	USIM_IO	29	CLK26M_REF
4	USIM_CLK	30	AIO1
5	USIM_RSTn	31	AIO2
6	VO_SIMO11DIG	32	AIO3
7	VO_SIMO19FLASH	33	AIO4
8	VO_SIMO15RF	34	WAKEUP
9	LXN_SIMO	35	AVDD15_AFE
10	LXP_SIMO	36	AVDD15_TRX
11	AVDD_VBAT_DCDCPASIMO	37	RESETN
12	LX_DCDCPA	38	IO_1833_SEL
13	FB_DCDCPA	39	ATE_MODE
14	AVDD_VBAT_LDOAON	40	GPIO0
15	VO_LDO33IO	41	XCXO_SEL
16	XO32K_P	42	RF_ANT
17	XO32K_N	43	NC
18	VO_LDOSIM	44	GPIO1
19	GPIO9	45	GPIO15
20	GPIO8	46	AVDD33_PALB_IN
21	GPIO7	47	AVDD33_PAMB_IN ①
22	GPIO6	48	GPIO14
23	GPIO5	49	GPIO13
24	GPIO4	50	GPIO12
25	GPIO3	51	GPIO11
26	GPIO2	52	GPIO10

①对于 EC616L, PIN47 为 NC, 原理图设计该管脚可以悬空, 也可以接 DCDC_PA

5.1.2 管脚描述

Pin Number	Pin Name	Pin Type	Power Domain	Pin Description
PIN39	ATEMODE	AI	VDD12AON	Auto-Test-Equipment Test Mode Should be left unconnected or tied to ground
PIN37	RESETn	AI	VDD12AON	System Reset Active-low, Assertion of RESETn causes chip entering power-up sequence and whole chip will go to reset state.
PIN38	IO_1833_SEL	AI	VDD12AON	IO Voltage selection Floating: 1.8V 0: 3.3V
PIN41	XCXO_SEL	AI	VDD12AON	Clock selection-on chip DCXO or external clock 0: DCXO 1: TCXO
PIN34	WAKEUP	AI	VDD12AON	External Wakeup Source
PIN16	XTAL32KP	AI	VDD12AON	Input pin for 32k crystal
PIN17	XTAL32KN	AI	VDD12AON	Input pin for 32k crystal
PIN3	USIM_UIO	DIO	VDDSIM	SIM card IO
PIN4	USIM_UCLK	DIO	VDDSIM	SIM card clock
PIN5	USIM_URSTn	DIO	VDDSIM	SIM card reset
PIN1	SWCLK	DIO	VDDIO	Serial Wire Debug Clock
PIN2	SWDIO	DIO	VDDIO	Serial Wire Debug Data
PIN40	GPIO0	DIO	VDDIO	General Purpose I/O
PIN44	GPIO1 (boot flag)	DIO	VDDIO	General Purpose I/O
PIN 26	GPIO2	DIO	VDDIO	General Purpose I/O
PIN25	GPIO3	DIO	VDDIO	General Purpose I/O
PIN24	GPIO4	DIO	VDDIO	General Purpose I/O
PIN23	GPIO5	DIO	VDDIO	General Purpose I/O
PIN22	GPIO6	DIO	VDDIO	General Purpose I/O
PIN21	GPIO7	DIO	VDDIO	General Purpose I/O
PIN20	GPIO8	DIO	VDDIO	General Purpose I/O
PIN19	GPIO9	DIO	VDDIO	General Purpose I/O
PIN52	GPIO10	DIO	VDDIO	General Purpose I/O
PIN51	GPIO11	DIO	VDDIO	General Purpose I/O
PIN50	GPIO12	DIO	VDDIO	General Purpose I/O
PIN 49	GPIO13	DIO	VDDIO	General Purpose I/O
PIN48	GPIO14	DIO	VDDIO	General Purpose I/O

PIN45	GPIO15	DIO	VDDIO	General Purpose I/O
PIN30	AIO1	AIO	AVDDIO	ADC Channel
PIN31	AIO2	AIO	AVDDIO	ADC Channel
PIN32	AIO3	AIO	AVDDIO	ADC Channel
PIN33	AIO4	AIO	AVDDIO	ADC Channel
PIN35	AVDD15_AFE	PI		AFE supply 1.5V
PIN36	AVDD15_TRX	PI		TRX supply 1.5V
PIN46	AVDD33_PALB_IN	PI		LB PA supply
PIN47	AVDD33_PAMB_IN	PI		MB PA supply ①
PIN28	DCXO_P	AI	AVDD_DCXO	26MHz crystal input, 26MHz TCXO input
PIN27	DCXO_N	AI	AVDD_DCXO	26MHz crystal input
PIN29	CLK26M_REF	AO	AVDD_DCXO	26MHz REF Clock output
PIN42	RF_ANT	AI	AVDD15LNA	RF input for LB
PIN11	AVDD_VBAT_DCDCPASIMO	PI		VBAT for DCDC
PIN14	AVDD_VBAT_LDOAON	PI		VBAT for AON and LDO
PIN6	VO_SIMO11DIG	PI		SIMO output for Digital, 1.1V
PIN7	VO_SIMO19FLASH	PO		SIMO output for Flash, 1.9V
PIN8	VO_SIMO15RF	PI		SIMO output for RF, 1.5V
PIN9	LXN_SIMO	PO		
PIN10	LXP_SIMO	PI		
PIN12	LX_DCDCPA	PO		SW node of DCDC_PA
PIN13	FB_DCDCPA	PI		Feedback of DCDC_PA
PIN15	VO_LDO_1833IO	PO		Output of LDO_1833IO, 1.8V/2.8V/3.3V
PIN18	VO_LDOSIM	PO		Output of LDO_SIM, 1.8V/3.0V

①: EC616L PIN47 为 NC

5.2 管脚复用

表 5.2-1: 管脚功能描述

I/O	Pad Name	Cfg Offset	Powerup Default	Alt Func0	Alt Func1	Alt Func2	Alt Func3	Alt Func4	Alt Func5	Alt Func6	Alt Func7
USIM	USIM_UIO	0	IO, NP	USIM_UIO					PWM1		
	USIM_URSTn	1	O, NP	USIM_URSTn					PWM2		
	USIM_UCLK	2	O, NP	USIM_UCLK					PWM3		
SWD	SWCLK	9	I, PU	SWCLK	UART1_RTSn	I2C1_SDA	UART2_RXD		PWM4		
	SWDIO	10	I, PU	SWDIO	UART1_CTSn	I2C1_SCL	UART2_TXD		PWM5		
GPIO	GPIO0	11	I, PU	GPIO0							
	GPIO1	12	I, PU	GPIO1							
	GPIO2	13	I, PU	GPIO2		I2C0_SDA		SPI0_SSn1	PWM0		
	GPIO3	14	I, PU	GPIO3		I2C0_SCL		SPI0_SSn0	PWM1		
	GPIO4	15	I, PU	GPIO4		I2C1_SDA	UART2_RXD	SPI0_MOSI	PWM2		
	GPIO5	16	I, PU	GPIO5		I2C1_SCL	UART2_TXD	SPI0_MISO	PWM3		
	GPIO6	17	I, PU	GPIO6	UART0_RTSn	I2C0_SDA		SPI0_SCLK	PWM4		
	GPIO7	18	I, PU	GPIO7	UART0_CTSn	I2C0_SCL			PWM5		
	GPIO8	19	I, PU	GPIO8	UART0_RXD				PWM0		
	GPIO9	20	I, PU	GPIO9	UART0_TXD				PWM1		
	GPIO10	21	I, PU	GPIO10	UART1_RTSn	I2C1_SDA		SPI1_SCLK	PWM2		
	GPIO11	22	I, PU	GPIO11	UART1_CTSn	I2C1_SCL		SPI1_MOSI	PWM3		
	GPIO12	23	I, PU	GPIO12	UART1_RXD	I2C0_SDA	UART2_RXD	SPI1_MISO	PWM4		
	GPIO13	24	I, PU	GPIO13	UART1_TXD	I2C0_SCL	UART2_TXD	SPI1_SSn0	PWM5		
	GPIO14	25	I, PU	GPIO14	UART1_RXD			SPI1_SSn1	PWM0		
	GPIO15	26	I, PU	GPIO15	UART1_TXD				PWM1		

IO: Input/output

I: Input

O: Output

NP: No pull up/down

PU: Pull up

PD: Pull down

6. 电气特性

6.1 绝对最大额定值

表 6.1-1 绝对最大额定值

Parameter	Symbol	Min	Max	Unit	Test Condition
VBAT Supply Voltage	VBAT	-0.3	5	V	
Analog IO	AIO1 - AIO4	-0.3	3.6	V	
GPIO	GPIO0 - GPIO SWCLK, SWDIO	-0.3	3.6 ①	V	
Reset/Wakeup	RESETN, WAKEUP0~WAKEUP5	-0.3	3.6 ①	V	
USIM	USIM_CLK, USIM_IO, USIM_RSTN	-0.3	3.6 ①	V	
Storage Temperature	Ts	-55	150	°C	
Operating ambient Temperature	Ta	-40	85	°C	

① 建议客户应用的最大值 Max value = VDD+0.3V

6.2 接口特性

表 6-2 EC616 数字接口逻辑特性

Parameter	Description	Min	Typ	Max	Units
V _{BATT}	Supply Voltage	2.1		4.5	V
T _a	Operating ambient Temperature	-40		85	V
GPIO VDD=1.8V GPIO0 – GPIO15, SWCLK, SWDIO					
VDD	IO Supply Voltage		1.8		V
V _{IH}	High-level input voltage	0.7*VDD			V
V _{IL}	Low-level input voltage			0.2*VDD	V
V _{OH}	High-level output voltage	0.8*VDD			V
V _{OL}	Low-level output voltage			0.15*VDD	V
V _{HYS}	Schmitt hysteresis voltage	62		111	mV
I _{IH}	Input high leakage current	-10		10	uA

IIL	Input low leakage current	-10		10	uA
IOZH	High-level, tri-state leakage current	-10		10	uA
IOZL	Low-level, tri-state leakage current	-10		10	uA
RPULL-UP	Pull-up resistance	117		331	Kohm
RPULL-DOWN	Pull-down resistance	91		291	Kohm
CI/O	I/O capacitance			3.5	pF
GPIO VDD=3.3V GPIO0 – GPIO15, SWCLK, SWDIO;					
VDD	IO Supply Voltage		3.3		V
VIH	High-level input voltage	0.7*VDD			V
VIL	Low-level input voltage			0.2*VDD	V
VOH	High-level output voltage	0.8*VDD			V
VOL	Low-level output voltage			0.15*VDD	V
VHYS	Schmitt hysteresis voltage	121		181	mV
IIH	Input high leakage current	-10		10	uA
IIL	Input low leakage current	-10		10	uA
IOZH	High-level, tri-state leakage current	-10		10	uA
IOZL	Low-level, tri-state leakage current	-10		10	uA
RPULL-UP	Pull-up resistance	58		133	Kohm
RPULL-DOWN	Pull-down resistance	52		128	Kohm
CI/O	I/O capacitance			3.5	pF
USIM_RSTN, USIM_CLK, USIM_IO					
VDD	Supply Voltage				
VIH	High-level input voltage	0.7*VDD			V
VIL	Low-level input voltage			0.2*VDD	V
VOH	High-level output voltage	0.8*VDD			V
VOL	Low-level output voltage			0.15*VDD	V
VHYS	Schmitt hysteresis voltage	62		111	mV
IIH	Input high leakage current	-10		10	uA
IIL	Input low leakage current	-10		10	uA
IOZH	High-level, tri-state leakage current	-10		10	uA
IOZL	Low-level, tri-state leakage current	-10		10	uA

RPULL-UP	Pull-up resistance	117		331	Kohm
RPULL-DOWN	Pull-down resistance	91		291	Kohm
CI/O	I/O capacitance			3.5	pF
RESETN, WAKEUP					
VDD	Supply Voltage	1.9		2.1	V
VIH	High-level input voltage	0.7*VDD			V
VIL	Low-level input voltage			0.2*VDD	V
VOH	High-level output voltage	NA		NA	V
VOL	Low-level output voltage	NA		NA	V
VHYS	Schmitt hysteresis voltage	200			mV
IIH	Input high leakage current			0.3	uA
IIL	Input low leakage current	-10			uA
IOZH	High-level, tri-state leakage current	NA		NA	uA
IOZL	Low-level, tri-state leakage current	NA		NA	uA
RPULL-UP	Pull-up resistance	170		230	Kohm
RPULL-DOWN	Pull-down resistance	NA		NA	Kohm
CI/O	I/O capacitance	1.5		2	pF

7. 接口

7.1 UART

最多可配置 3 个 UART

- 可配置波特率, 4.9Kbps, 9.6Kbps, 115.2Kbps, 921.6Kbps, 最高达 3Mbps
- 独立 32Bytes TX/RX FIFO
- 支持收发 5~8 bit 数据长度的字符
- 支持奇校验、偶校验和无校验
- 支持 1 或 2 bit 停止位
- 支持 DMA 操作
- 支持流控(UART0/1)
- 支持 NRZ 编码

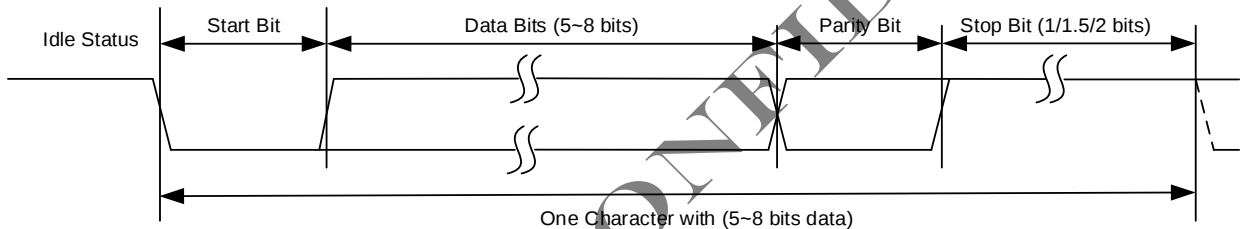


图 7.1-1: UART 接口时序图

7.2 LPUART

上述 3 个 UART 中的 UART1 在使用 GPIO14&GPIO15 作为 RXD/TXD 时可以配置为 LPUART

- 在低功耗模式下可持续接收 AT 命令
- 可配置波特率, 9.6Kbps, 4.8Kbps, 2.4Kbps, ...
- 独立 32Bytes TX FIFO, 72Bytes RX FIFO
- 支持收发 5~8 bit 数据长度的字符
- 支持奇校验、偶校验和无校验
- 支持 1 或 2 bit 停止位
- 支持 DMA 操作
- 支持帧结构和校验位错误以及超时检测
- 支持切换至普通 UART 来实现更高波特率

7.3 I2C

最多可配置 2 个 I2C

- 可配置时钟最高达 400KHz
- 可配置为 Master 或 Slave
- 独立 16Bytes TX/RX FIFO
- 支持 7/10bit 地址
- 支持 DMA 操作
- 支持时钟延展
- 可配置 SCL 波形

7.4 SPI

最多可配置 2 个 SPI

- 可配置时钟最高达 25.6MHz
- 可配置为 Master 或 Slave
- 独立的 TX/RX FIFO
- 可配置 CPOL/CPHA
- 支持 DMA 操作

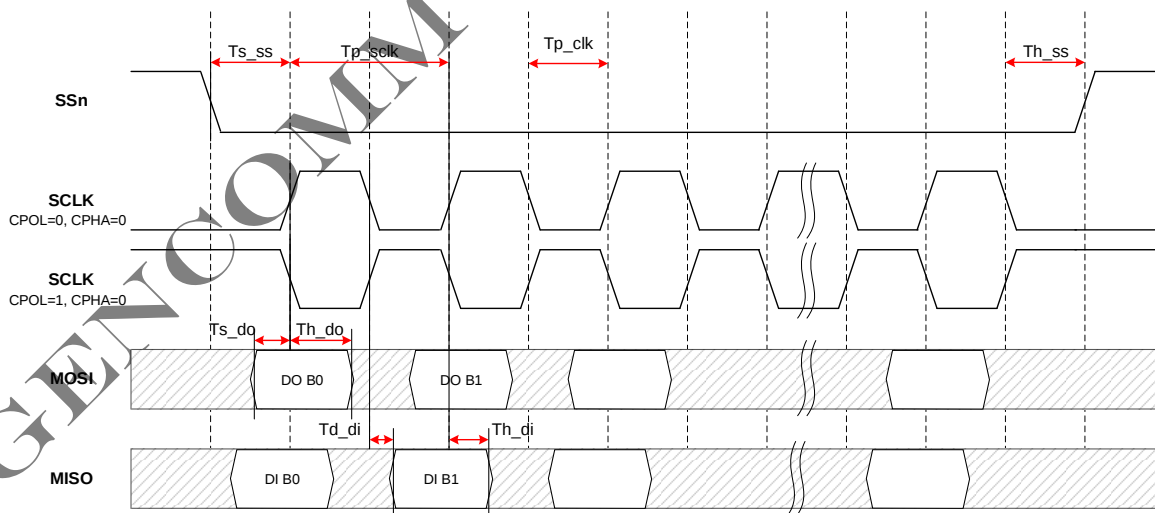


图 7.4-1: SPI master 接口时序图 CPHA=0

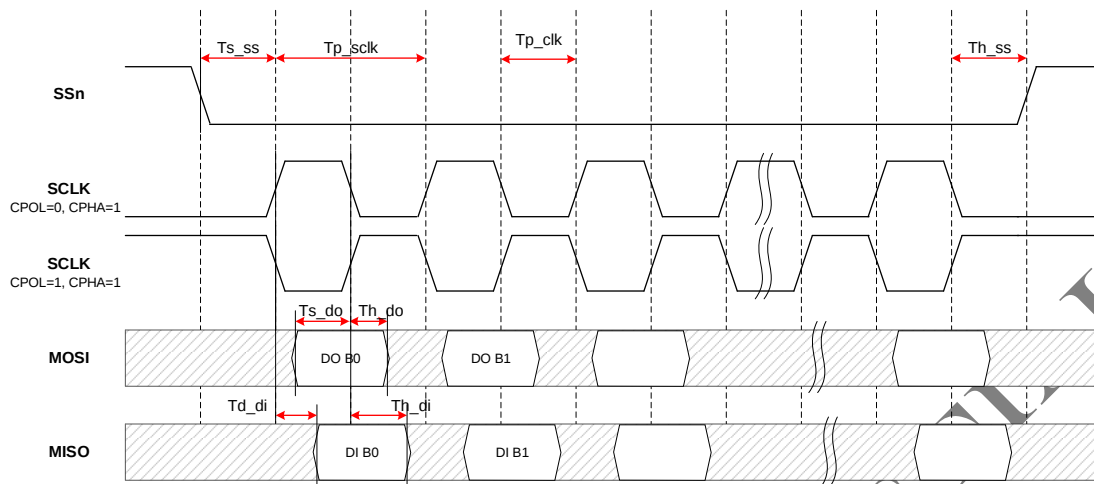


图 7.4-2: SPI master 接口时序图 CPHA=1

表 7.4-1: SPI master 接口参数

Signal	Symbol	Min	Max	Unit	Description
SCLK	Tp_sclk	38.4		ns	
SSn	Ts_ss	9.6		ns	
	Th_ss	2.0		ns	
MOSI	Ts_do	9.6		ns	
	Th_do	21		ns	
MISO	Td_di		Tp_sclk/2-12	ns	

7.5 AUXADC

7.5.1 AUXADC 框图

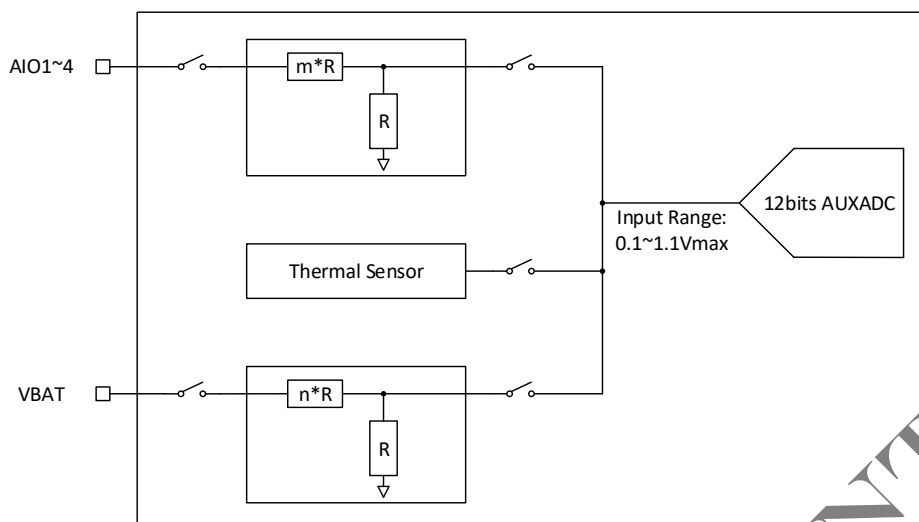


图 7.5-1: AUXADC 框图

AUXADC 包含了以下功能性模块:

- (1) 模拟通道选择模块: 选择 AIO1~4 中的一个作为模拟信号的通路, 经过分压电路的调整后, 将该电压信号送入 AUXADC 的输入口。
- (2) 温度传感器: 芯片温度发生变化时, Thermal Sensor 的电压输出信号也会随之变化。
- (3) 12 位 AUXADC: 将输入的电压信号, 量化成 12 位的数字数据。

表 7.5-1: AUXADC 输入通道

Channel	Application	Input Range
AIO1	Input signal from the outside	0V ~ 1.8V
AIO2~4	Input signal from the outside	0V ~ 3.3V
Thermal Sensor	Inner thermal sensor generate the signal	-40°C ~ 85°C
VBAT	VBAT voltage input	2.2V ~ 4.5V

7.5.2 功能规格

参数设定:

当 AIO2~4 中的任意一个的外部输入电压可以在 0~3.3V 范围内波动, 但需要调整分压比, 务必保证 AUXADC 输入端电压在 0.1~1.1V 范围。

表 7.5-2: AUXADC 技术参数

Symbol	Description	Min.	Typ.		Max	Unit
N	Resolution	-	12		-	Bit
Fc	Clock rate	1.625	3.25		6.5	MHz
Fs	Sampling rate	-	Fc/(N+4)		-	MHz
Vin	Input swing	0.1	-		1.1	V

Cin	Input capacitance: -Unselected channel -Selected channel	- -	0.1 1.2		- -	pF pF
Rin	Input resistance: - Unselected channel - Selected channel	29 0.26	- -		- 0.75	MΩ MΩ
DNL	Differential nonlinearity	-	±1		-	LSB
INL	Integral nonlinearity	-	±4		-	LSB
DVDD	Digital power supply	0.99	1.1		1.21	V
AVDD	Analog power supply	2.00	2.1		2.21	V
Temp	Operating temperature	-40	-		85	°C
	Current consumption: -Power up -Power down	- -	300 0.4		- -	uA uA

8. 封装

8.1 封装机械尺寸

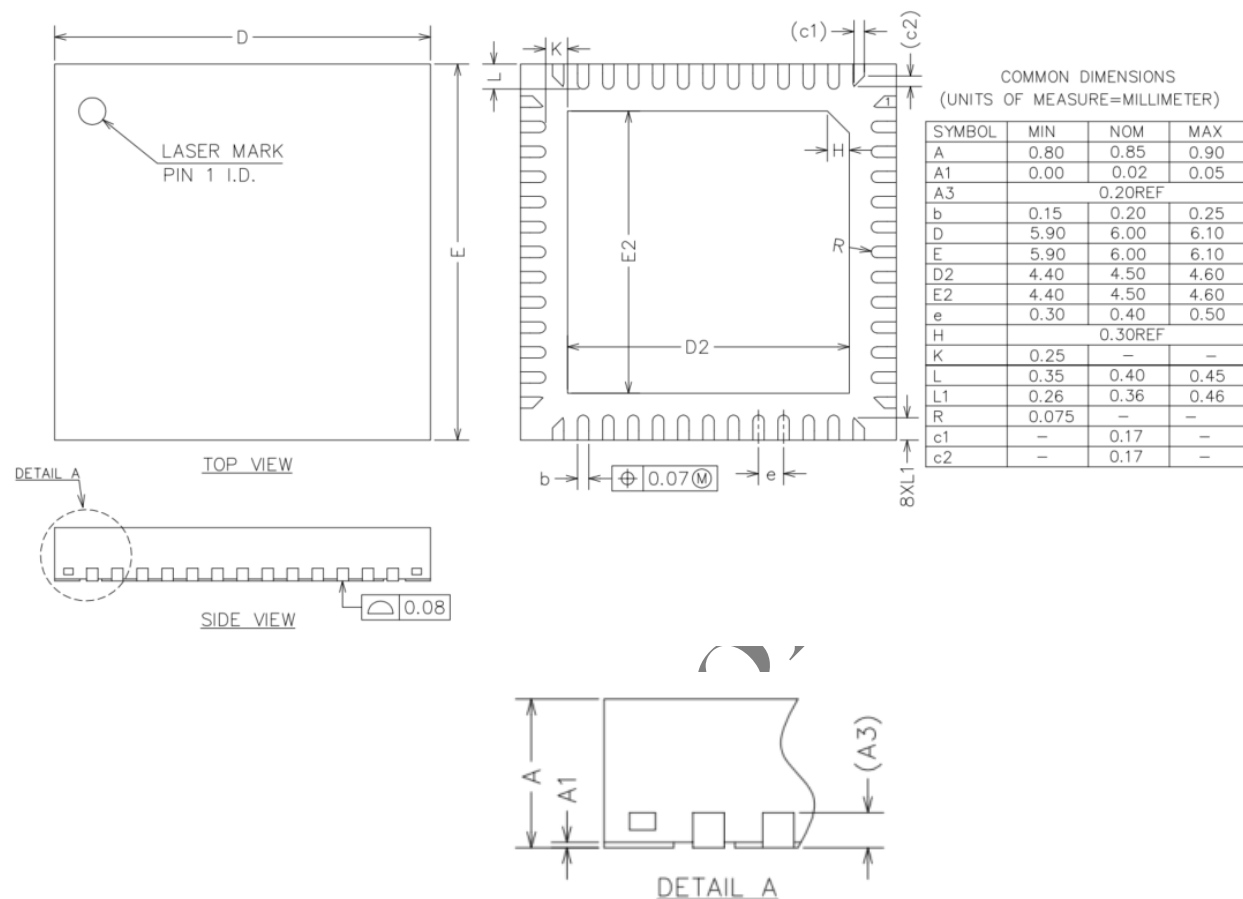


图8.1-1: EC616S/L封装尺寸

8.2 芯片丝印



Line0: 移芯通信 Logo

Line1: 芯片名称 + 内控号

Line3: 晶圆批次号

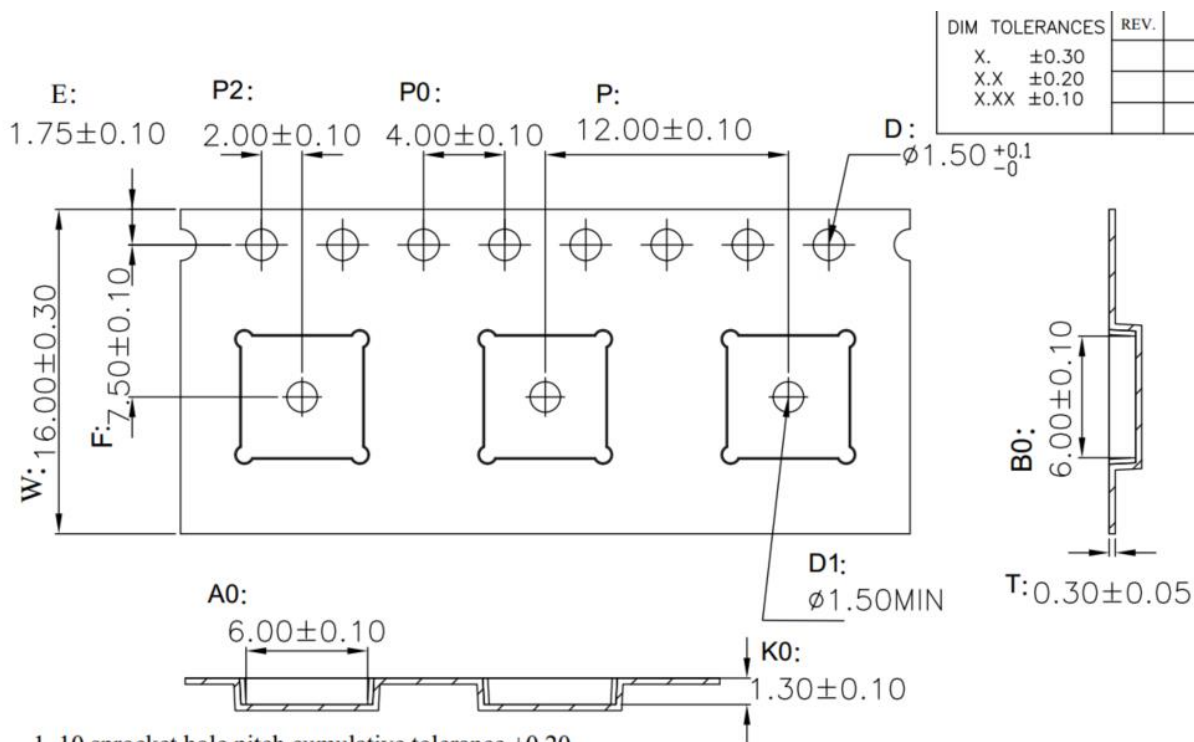
Line4: 组装批次号

Line5: 内控号 + 内控号 + 年周号

图8.2-1: EC616S/L量产顶部标识

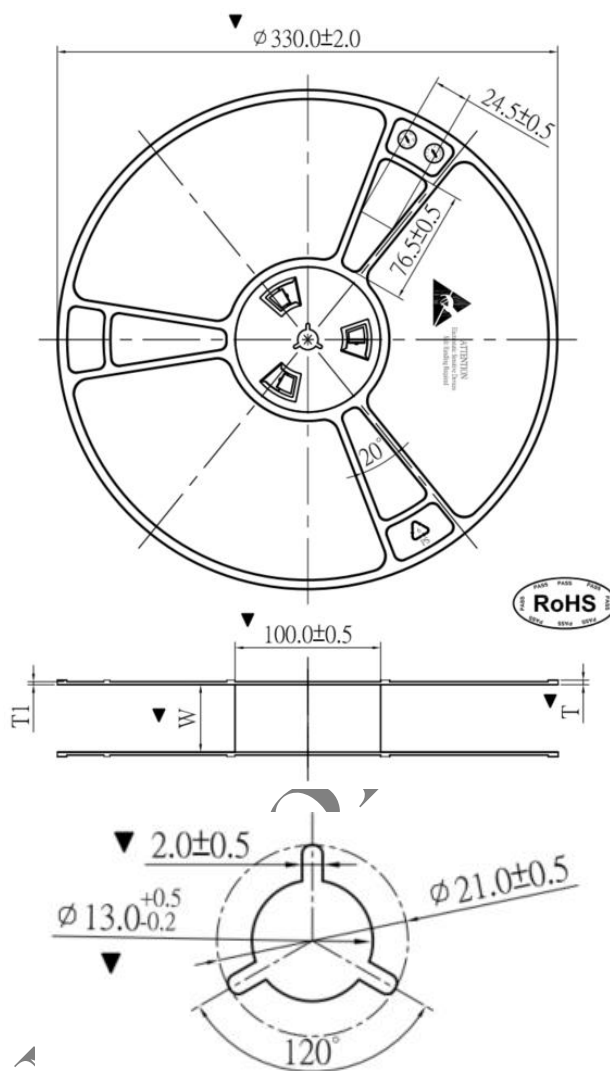
8.3 载带和料盘尺寸

载带尺寸



1. 10 sprocket hole pitch cumulative tolerance ± 0.20 .
2. Carrier camber is within 1 mm in 250 mm.
3. Material : Black Conductive Polystyrene Alloy.
4. All dimensions meet EIA-481-D requirements.
5. Thickness : $0.30 \pm 0.05 \text{ mm}$.
6. Packing length per 19" reel : 490.0 Meters.(復卷1:10)
7. Component load per 13" reel : 4000 pcs.
8. Surface resistivity : $10^6 \sim 10^{11} \Omega/\square$.

料盘尺寸



规格品名	料号	W	T	T1
13" 100*16mm 旋转式圆盘	RUR-23-3-T	16.4 ^{+2.0} ₋₀	2.0±0.3	1.4±0.3

8.4 回流焊

按照 IPC/JEDEC J-STD-020 进行回流焊。最多允许回流焊次数为 3 次。

8.5 环保

满足 RoHS 2.0 和无卤标准。

9. 版本

版本	日期	备注
Draft	2019-12-11	
V2.2	2021-11-24	更新载带、料盘尺寸信息