



# **BL616CL DataSheet**

Mar. 2026

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## Features

- 无线
  - 2.4 GHz 射频收发器
  - Wi-Fi 6 (IEEE 802.11 b/g/n/ax)
  - Bluetooth® 5.3
  - 支持 BLE 的 Wi-Fi 快速连接
  - Wi-Fi/BLE 共存
  - Wi-Fi 安全 WPS/WEP/WPA/WPA2/WPA3
  - Wi-Fi 20MHz 带宽, 1T1R
  - 支持 LDPC、STBC、Beamformee、DL/UL OFDMA、MU-MIMO、TWT (目标唤醒时间)、SR (空分复用)、DCM (双载波调制)、ER (扩展范围)
  - 支持聚合 (AMPDU、AMSDU)、立即块确认、分片和碎片整理
  - 支持 RX 分集
  - 支持 IEEE 802.11e QoS WMM (Wi-Fi 多媒体)、IEEE 802.11w PMF (管理帧保护)
  - STA、SoftAP、STA+SoftAP 和 sniffer 模式
  - 集成射频 balun、PA/LNA
  - 支持外部 PA/LNA
- 微控制器子系统
  - 带 FPU 和 DSP 的 32 位 RISC-V CPU
  - 动态频率可配置为 1MHz 至 320MHz
  - 支持 RISC-V RV32IMAFCP 指令集
  - 16KB I-Cache, 两路组相连接结构
  - 8KB D-Cache, 两路组相连接结构
- 支持 NOR FLASH XIP
- 音频编码译码器
  - 数字麦 PDM 输入
  - Audio PWM 输出
- Memory
  - 388KB SRAM
  - \* 224K OCRAM
  - \* 160K WRAM
  - \* 4K HBN RAM
  - 内嵌 2/4/8MB Flash (选配)
  - 内嵌 4/8MB pSRAM (选配)
- Video/Image
  - Camera Sensor DVP 接口
  - MJPEG encoder and decoder(optional)
  - LCD 显示 (QSPI, DBI)
- 安全
  - 安全启动 (支持固件加密 & 签名)
  - 安全调试
  - 支持 Anti-Rollback
  - XIP On-The-Fly AES 解密 (OTFAD)
  - 支持 TrustZone
  - AES-ECB/CBC/CTR/GMAC/XTS 模式
  - MD5、SHA-1/224/256/384/512
  - TRNG (真随机数生成器)

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

- 用于 RSA/ECC 的 PKA (公钥加速器)
- 总计 1024 bits eFuse
- 外设
  - USB 2.0 HS OTG (High-Speed 480Mb/s)
  - SDIO 2.0 从机
  - SD-card interface
  - 1 路 EMAC 接口, 支持 10/100M
  - 1 路 DMA, 支持 8 通道
  - 3 路 UART (部分支持 5V IO)
  - 2 路 I2C, 主机模式
  - 2 路 SPI, 支持主/从模式
  - 1 路 I2S, 支持主/从模式
  - 1 路 PWM 控制器 (带互补输出的 4 通道)
  - 2 路 GPTimer
  - 2 路 Watchdog
  - 1 路 12-bit~16-bit 通用 ADC, 支持 12 个通道
  - 1 组 touch(optional)
  - 1 路 PEC(Peripherals Expander Controller), 可扩展的外设包括但不限于:
    - \* UART
    - \* I2C
    - \* SPI
    - \* GPIO
    - \* JTAG
    - \* DPI
    - \* DBI
- 可配置的 37 (QFN48) 或 29 (QFN40) 或 21 (QFN32) 个 GPIO
- 功耗模式
  - 停止模式 (Stop)
    - \* CPU WFI, 外设时钟停止 (可灵活配), 无线关闭
  - 掉电睡眠 (Power Down Sleep)
    - \* 支持 PDS1/3/7/11/15
    - \* 无线/外设/CPU 可以选择性关闭
    - \* 支持 384K RAM 保活
    - \* 支持外设/RTC/GPIO 唤醒
    - \* 支持 Watchdog
  - 休眠 (Hibernate)
    - \* 支持 4K RAM 保活
    - \* 支持 RTC/GPIO 唤醒
    - \* 支持 Watchdog
  - 关闭 (Shutdown)
- 时钟
  - 支持外部 24/26/32/40MHz crystal oscillator (XTAL)
  - 支持外部 32.768KHz crystal oscillator(XTAL32K)
  - 支持内部 RC 32KHz oscillator(RC32K)
  - 支持内部 RC Multi-Speed Main oscillator(RCM), 频率支持 8/16/32M
- 封装类型

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

- QFN32

- QFN48

- QFN40

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 目录

<b>1</b>	概述	<b>6</b>
<b>2</b>	功能描述	<b>8</b>
<b>2.1</b>	<b>CPU</b>	<b>8</b>
<b>2.2</b>	缓存	<b>8</b>
<b>2.3</b>	内存	<b>9</b>
<b>2.4</b>	<b>DMA</b> 控制器	<b>9</b>
<b>2.5</b>	地址映射	<b>9</b>
<b>2.6</b>	中断	<b>11</b>
<b>2.7</b>	启动选项	<b>11</b>
<b>2.8</b>	电源管理单元	<b>11</b>
<b>2.9</b>	时钟架构	<b>11</b>
<b>2.10</b>	外设	<b>11</b>
2.10.1	<i>GPIO</i>	11
2.10.2	<i>DVP</i>	12
2.10.3	<i>MJPEG Encoder</i>	12
2.10.4	<i>DBI</i>	13
2.10.5	<i>UART</i>	13
2.10.6	<i>SPI</i>	13
2.10.7	<i>I2C</i>	14
2.10.8	<i>EMAC</i>	14
2.10.9	<i>I2S</i>	15
2.10.10	<i>TIMER</i>	16
2.10.11	<i>GPADC</i>	16
2.10.12	<i>PWM</i>	16
2.10.13	<i>AUSOLO</i>	17
2.10.14	<i>AUPWM</i>	17
2.10.15	<i>PEC</i>	18
2.10.16	<i>SDIO3.0 Host</i>	18
2.10.17	<i>SDIO Device</i>	18
2.10.18	<i>USB</i>	20
2.10.19	<i>Flash Controller</i>	21
2.10.20	<i>Secure Boot</i>	21
2.10.21	<i>SEC_ENG</i>	22
2.10.22	<i>TOUCH</i>	22

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025
<b>3</b> 管脚定义 . . . . .					<b>23</b>
<b>4</b> 射频特性 . . . . .					<b>63</b>
<b>5</b> 音频特性 . . . . .					<b>64</b>
<b>6</b> 功耗 . . . . .					<b>65</b>
<b>7</b> 电气特性 . . . . .					<b>66</b>
<b>7.1</b> 绝对最大额定值 . . . . .					<b>67</b>
<b>7.2</b> 运行条件 . . . . .					<b>67</b>
<b>7.2.1</b> 电源特性 . . . . .					<b>67</b>
<b>7.2.2</b> IO 直流特性 . . . . .					<b>67</b>
<b>7.2.3</b> 上电时序 . . . . .					<b>68</b>
<b>7.2.4</b> 复位时序 . . . . .					<b>70</b>
<b>7.2.5</b> 温度特性 . . . . .					<b>71</b>
<b>7.2.6</b> 通用工作条件 . . . . .					<b>71</b>
<b>7.2.7</b> GPADC 特性 . . . . .					<b>71</b>
<b>8</b> 产品使用 . . . . .					<b>73</b>
<b>8.1</b> 湿敏等级 ( <i>MSL</i> ) . . . . .					<b>73</b>
<b>8.2</b> 静电放电 ( <i>ESD</i> ) . . . . .					<b>73</b>
<b>8.3</b> 回流焊接曲线 ( <i>Reflow Profile</i> ) . . . . .					<b>74</b>
<b>9</b> 参考设计 . . . . .					<b>75</b>
<b>10</b> 封装信息 <b>QFN32</b> . . . . .					<b>76</b>
<b>11</b> 封装信息 <b>QFN40</b> . . . . .					<b>78</b>
<b>12</b> 封装信息 <b>QFN48</b> . . . . .					<b>80</b>
<b>13</b> 标志定义 . . . . .					<b>82</b>
<b>14</b> 订购信息 . . . . .					<b>83</b>
<b>15</b> 版本信息 . . . . .					<b>85</b>

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

# 1 概述

BL616CL 是一款适用于超低功耗应用的 Wi-Fi 6 + BLE 5.3 组合芯片。主要包含无线和微控制器两个子系统。

无线子系统包含 2.4G 无线电、Wi-Fi 802.11b/g/n/ax、BLE 基带/MAC 设计。

微控制器子系统包含一个带有浮点单元、高速缓存和存储器的低功耗 32 位 RISC-V CPU,最高主频可达 320M。

此外,芯片具有丰富的外设接口,具体包括 Audio Codec、USB2.0、EMAC、Camera、Display(DBI)、MJPEG、SDIO2.0、Sec\_Eng、SPI、UART、I2C、I2S、PWM、Timer、GPADC 等,可以应用于智能物联网,音视频,新能源等领域。

BL616CL 电源管理单元控制低功耗模式,支持 PDS(Power Down Sleep, PDS1/7/11/15) 和 HBN(Hibernate) 两种低功耗模式,支持多种唤醒源以满足不同的低功耗场景。

BL616CL 支持安全启动,支持镜像加密和签名,支持固件反回滚 (anti-rollback),满足物联网,新能源等领域的各种安全应用需求。BL616CL 系统功能框图如下所示。

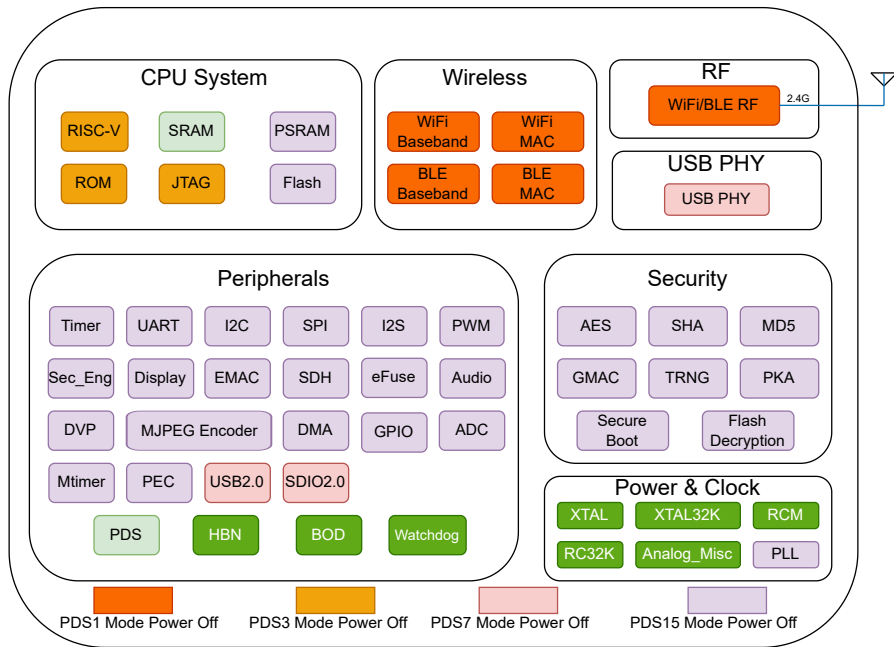


图 1.1: BL616CL 功能框图

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 2 功能描述

BL616CL 系统架构如下所示:

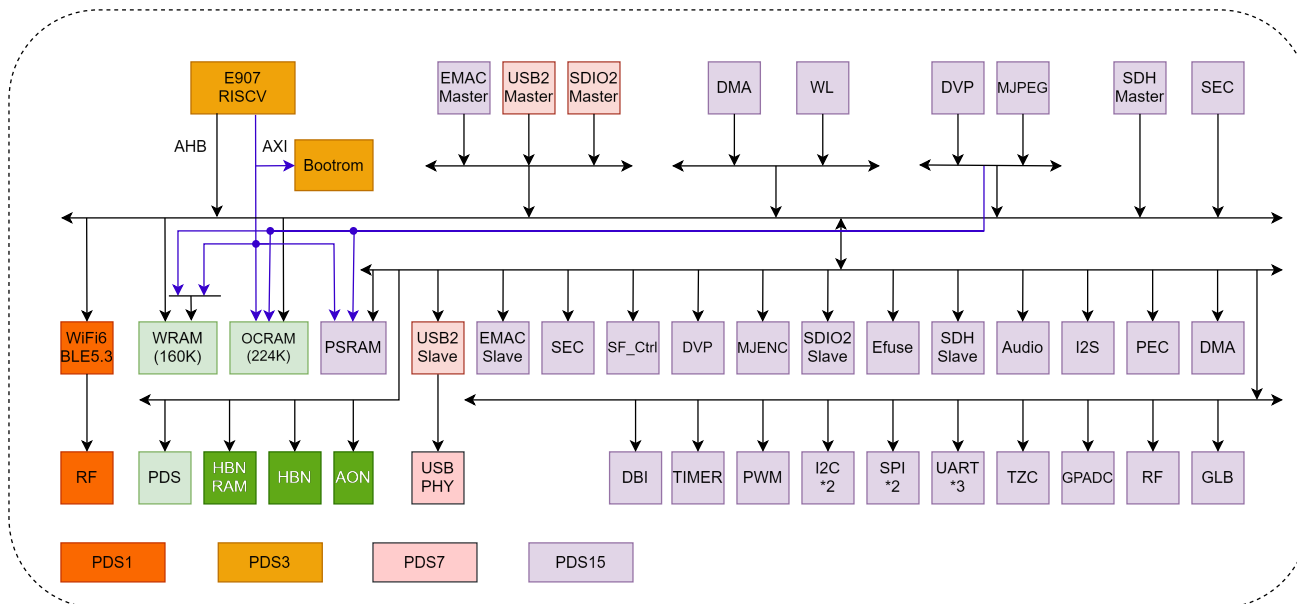


图 2.1: BL616CL 系统架构图

CPU 带有 AXI 和 AHB 两条总线，ROM，OCRAM 以及 PSRAM 挂在 AXI 总线上，以实现对这些存储单元的高速访问，各个外设通过 AHB 总线与 CPU 连接在一起。

### 2.1 CPU

BL616CL 内置一颗 32-bit RISC-V CPU，它采用 5 级流水线结构：取指、译码、执行、内存访问、写回，支持 RISC-V 32/16 位混编指令集，包含 67 个外部中断源，有 4 个 bits 可以用于配置中断优先级。

### 2.2 缓存

BL616CL 的缓存提高了 CPU 访问外部存储器的效能，包含 16K 指令 cache 和 8K 数据 cache。

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 2.3 内存

BL616CL 存储器包括: 224K OGRAM, 用于 CPU 的应用程序; 160K WRAM, 用于 WiFi 无线数据的收发; 4K HBN RAM, 用于 PDS/HBN 模式下保存低功耗数据。此外, BL616CL 还支持内封 PSRAM。

## 2.4 DMA 控制器

BL616CL DMA (直接存储器访问) 控制器具有 8 个专用通道, 用于管理外设和存储器之间的数据传输, 以提高 CPU /总线效率。DMA 有四种传输类型, 内存到内存, 内存到外设、外设到内存以及外设到外设四种模式。

DMA 还支持 LLI (链接列表项) 功能, 该链表由一系列链接列表预定义多个传输, 然后硬件会根据每个 LLI 的大小和地址自动完成所有传输。

DMA 支持的外设包括 UART、I2C、SPI、Audio(AUPWM 和 AUSOLO)、GPIO、I2S、DBI、PEC、GPADC、Timer。

## 2.5 地址映射

表 2.1: 内存地址映射

模块	大小	开始地址	
		Cache	Non-cache
OCRAM	224KB	0x60FC0000	0x20FC0000
WRAM	160KB	0x60FF8000	0x20FF8000

OCRAM 和 WRAM 既可以通过 AHB 总线访问, 也可以通过 AXI 访问, 当 CPU 使用 0x60FC0000 地址访问 OGRAM 时, 会经过内部 Cache 并通过 AXI 总线访问 OGRAM, 当 CPU 使用 0x20FC0000 地址访问 OGRAM 时, 不会经过内部 Cache 并且直接通过 AHB 总线访问 OGRAM。当 CPU 使用 0x60FF8000 地址访问 WRAM 时, 会经过内部 Cache 并通过 AXI 转 AHB 实现对 WRAM 的访问。

表 2.2: 地址映射

模块	目标	开始地址	大小	描述
FLASH	Flash	0x80000000	128MB	应用程序地址空间
PSRAM	pSRAM	0x88000000	128MB	pSRAM 存储器地址空间 (可选项, 依赖芯片具体型号)
RAM	HBN RAM	0x20010000	4KB	HBN RAM, 主要用于超低功耗模式下的数据保存
	USB	0x20072000	4KB	USB High Speed OTG 控制寄存器
	EMAC	0x20070000	4KB	EMAC 控制寄存器

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 2.2: 地址映射 (continued)

模块	目标	开始地址	大小	描述
	SDIO Host	0x20060000	4KB	SDIO Host 控制寄存器
	PEC	0x2005A000	4KB	外设扩展控制器
	MJPEG	0x20059000	4KB	MJPEG 图像编码控制寄存器
	DVP	0x20057000	4KB	DVP 摄像头接口控制寄存器
	Efuse	0x20056000	1KB	Efuse 存储控制寄存器
	AUPWM	0x20055000	4KB	AUPWM 控制寄存器
	PSRAM_Ctrl	0x20052000	4KB	PSRAM 控制寄存器
	HBN	0x2000F000	4KB	深度睡眠控制 (休眠) 寄存器
	PDS	0x2000E000	4KB	睡眠控制 (掉电睡眠) 寄存器
	SDIO	0x2000D000	4KB	SDIO device 控制寄存器
	DMA	0x2000C000	4KB	DMA 控制寄存器
	SF_Ctrl	0x2000B000	4KB	Serial Flash 控制寄存器
	SPI1	0x2000AE00	256B	SPI1 控制寄存器
	UART2	0x2000AD00	256B	UART2 控制寄存器
	AUSOLO	0x2000AC00	256B	AUSOLO 控制寄存器
	I2S	0x2000AB00	256B	I2S 控制寄存器
	I2C1	0x2000A900	256B	I2C1 控制寄存器
	Display	0x2000A800	256B	Display 控制寄存器
	TIMER	0x2000A500	256B	TIMER 控制寄存器
	PWM	0x2000A400	256B	PWM 控制寄存器
	I2C0	0x2000A300	256B	I2C0 控制寄存器
	SPI0	0x2000A200	256B	SPI0 控制寄存器
	UART1	0x2000A100	256B	UART1 控制寄存器
	UART0	0x2000A000	256B	UART0 控制寄存器
	TZ	0x20005000	4KB	TrustZone 控制寄存器
	SEC_ENG	0x20004000	4KB	安全引擎控制寄存器
	GPADC	0x20002000	1KB	通用 ADC 接口控制寄存器
	GLB	0x20000000	4KB	全局控制寄存器

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 2.6 中断

BL616CL 中断控制器支持 UART/I2C/SPI/Timer/DMA/EMAC/WiFi/BLE 等共 67 个可屏蔽中断触发源。

所有 I/O 引脚都可以配置为外部中断输入模式，外部中断支持同步高/低电平触发、同步上升沿/下降沿触发、异步高/低电平触发、异步上升沿/下降沿触发和同步双边沿触发共 9 种触发类型。

## 2.7 启动选项

BL616CL 支持多种启动选项，可选择从 Flash/UART/ USB/ SDIO 启动。

表 2.3: 启动模式

启动引脚	电平	描述
GPIO36	1	从 UART(GPIO34/35)/USB(GPIO32/33)/SDU 启动，该模式主要用于 Flash 烧写或者下载程序到 RAM 执行 (无线透传场景)
	0	从 Flash 启动应用程序

## 2.8 电源管理单元

电源管理单元 (PMU) 管理整个芯片的电源，芯片中有 8 个电源域: PD\_AON/PD\_AON\_HBNRTC/PD\_AON\_HBNCORE/PD\_CORE/PD\_CORE\_MISC/PD\_USB/PD\_CPU/PD\_WB。可以实现的低功耗模式包括运行、空闲、睡眠 (PDS)、休眠 (HBN) 和电源关闭。在睡眠 (PDS) 和休眠 (HBN) 模式下，可以有多种唤醒源将系统从低功耗模式唤醒。

## 2.9 时钟架构

时钟控制单元为核心 MCU 和外围 SOC 设备生成时钟。时钟源可以是 XTAL, PLL 或 RC 振荡器。用户可以通过适当的配置 (例如 sel, div, en 等) 来设定各个外设的时钟频率或者开关外设的时钟，以达到低功耗的应用需求。

## 2.10 外设

### 2.10.1 GPIO

BL616CL 最多可达 37 (QFN48) 或 29 (QFN40) 或 21 (QFN32) 个 GPIO，支持用作普通 GPIO 的输入，输出，中断等功能外，可以复用为外设和模拟功能：

- 每个 GPIO 都可用作通用输入和输出功能，上拉/下拉/浮空可由软件配置

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

- 每个 GPIO 都支持中断功能，中断支持同步高/低电平触发、同步上升沿/下降沿触发、异步高/低电平触发、异步上升沿/下降沿触发和同步双边沿触发
- 每个 GPIO 均可设置为高阻态，用于低功耗模式
- 每个 GPIO 均可通过 Set/Clear 寄存器完成输出状态的控制
- 支持自定义的逻辑 0/1 波形输出
- 支持 DMA

### 2.10.2 DVP

DVP(Digital Video Port) 用于图像传感器与 BL616CL 之间传输图像数据，具有以下特性：

- 8-bit 并行数据位宽
- 支持 YUV444/RGB888(24-bit)、YUV422/RGB565(16-bit)、YUV400(8-bit) 等数据格式输入并按原格式输出
- 支持将 RGB888 输入格式转为 RGB565/RGBA8888 格式输出
- 支持将 YUV422 输入格式转为 YUV420/400 格式输出
- 可配置的行帧同步信号选择和极性选择
- 支持图像矩形裁剪
- 以 1~32 为周期的帧取舍功能
- 支持行帧同步信号的完整性检测
- 支持完成中断

### 2.10.3 MJPEG Encoder

MJPEG 编码器用于对未压缩的图像数据流进行编码，支持以下特性：

- 输入数据流支持直接从 RAM 中读取或与 DVP 进行同步
- 输入图像支持 YUV420SP、YUV400、YUV422SP、YUV422I 图像色彩空间
- 支持使能/禁止的 JPEG 文件头自动复制功能
- 两个可编程量化表
- 输出数据流支持双缓冲
- 仅支持标准 huffman 编码表

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

- 支持压缩自定义行数后重新设置原图像数据的地址
- 支持的中断包括：一帧压缩完成、双缓冲模式的缓冲区满

#### 2.10.4 DBI

DBI(Display Bus Interface) 模块拥有 8 位并行数据线，用于驱动带有显存的屏幕显示，具有以下特性：

- 支持 Type-B (8-bit)、Type-C Option 1 (3-wire) 以及 Type-C Option 3 (4-wire) 模式
- 支持 RGB565/666/888 输出格式
- 支持 QSPI 模式，QSPI 的 CMD/ADDR/DATA 可任意选择 1-/4-wire 模式
- 支持 RGB565/RGB888/RGBA8888/YUV444 输入格式
- 支持 DMA 功能

#### 2.10.5 UART

芯片内置三个通用异步串行收发器 (UART0/1/2)，具有以下特性：

- 支持硬件的 CTS 和 RTS 流控
- 支持 LIN 主/从功能
- 可配置的数据位、停止位和奇偶校验位
- 支持普通/固定字符的自动波特率检测
- 工作时钟可以选择为 BCLK、XCLK 或 160MHz，波特率最大支持 10Mbps
- TX 和 RX 具有独立 FIFO，FIFO 深度为 32 字节，支持 DMA 功能
- 支持 RTO 超时检测机制
- 支持毛刺过滤功能
- 支持 RS-485 模式

#### 2.10.6 SPI

芯片内置两个 SPI，可以配置为主机模式或者从机模式，SPI 模块时钟是 XCLK 或 160MHz，具有以下特性：

- 主机模式下，时钟频率最高为 80 MHz
- 从机模式下，允许主机最大的时钟频率为 80 MHz
- 每帧的位宽可以配置为 8 位/ 16 位/ 24 位/ 32 位

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

- 自适应的 FIFO 深度变化特性，适配高性能的场景应用
  - 当位宽为 32 位时，FIFO 的深度为 8
  - 当位宽为 24 位时，FIFO 的深度为 8
  - 当位宽为 16 位时，FIFO 的深度为 16
  - 当位宽为 8 位时，FIFO 的深度为 32
- 支持 DMA 传输模式

### 2.10.7 I2C

芯片内置两个 I2C 接口，具有以下特性：

- 支持多主机模式和仲裁功能
- 支持最大包长度 1024byte
- 支持超时功能
- 工作时钟可以选择为 BCLK 或者 XCLK
- 支持标准模式（最大 100KHz）和快速模式（最大 400KHz），最快速度可达 1.8MHz（取决于外部上拉电阻的大小）
- 支持 7bit 设备地址和 10bit 设备地址
- 支持 0~16byte 的寄存器地址
- I2C 具有独立收发 FIFO，FIFO 深度为 2，宽度为 32 位
- 支持 DMA 功能

### 2.10.8 EMAC

EMAC 模块是一个兼容 IEEE 802.3 的 10/100Mbps 以太网 MAC(Ethernet Media Access Controller)，具有以下特性：

- 兼容 IEEE 802.3 定义的 MAC 层功能
- 支持 IEEE 802.3 定义的 RMII 接口的 PHY
- 通过 MDIO 接口与 PHY 交互
- 支持 100Mbps 和 10Mbps 以太网
- 支持半双工与全双工

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

- 在全双工模式下，支持自动流控及生成控制帧
- 在半双工模式下，支持碰撞检测及重传
- 支持 CRC 的生成及校验
- 数据帧前导生成及移除
- 发送时，自动扩展短的数据帧
- 检测过长或过短的数据帧 (长度限制)
- 可传输长数据帧 (> 标准以太帧长度)
- 自动丢弃重发次数超限或帧间隙过小的数据包
- 广播包过滤
- 用于保存多达 128 个 BD(Buffer Descriptor) 的内部 RAM
- 在发送时，支持将一个数据包分拆配置到多个连续的 BD
- 发送/接收的各种事件标志
- 在事件发生时产生对应中断

### 2.10.9 I2S

芯片内置一个 I2S 接口，具有以下特性：

- 支持主模式以及从模式
- 支持 Left-justified/ Right-justified/ DSP 等数据格式，数据宽度可配置为 8/16/24/32 比特
- 工作时钟为 WIFIPLL 320MHz
- 除单声道/双声道模式之外，同时支持四声道与六声道模式
- 支持播放单声道音频复制为双声道模式
- 支持动态静音切换功能
- I2S 具有独立收发 FIFO，FIFO 深度为 16 word
- 支持 DMA 功能

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

### 2.10.10 TIMER

芯片内置两个 32-bit 通用定时器和两个看门狗定时器，具有以下特性：

- 通用定时器的时钟源可以选择 FCLK/32K/XTAL/GPIO,看门狗定时器的时钟源可以选择 FCLK/32K/XTAL/GPIO
- 每个计数器都有 8-bit 分频器
- 每组通用定时器都包含三个比较寄存器，支持比较中断，计数模式支持 FreeRun 模式和 PreLoad 模式
- 16-bit 看门狗定时器，支持中断或复位两种看门狗溢出方式
- 两个通用定时器都支持发起 DMA 搬运请求
- 通用定时器 0 支持外部输入捕获

### 2.10.11 GPADC

芯片内置一个 GPADC，具有以下特性：

- 可配置 16bit、14bit、12bit 分辨率
- 最高采样率可达 2Msps
- 支持差分 and 单端采样
- 支持单次转换模式、连续转换模式、单次扫描转换模式、连续扫描转换模式
- 支持在规则通道转换过程中注入其它通道
- 内置 PGA，放大增益 1~32 倍，每档 6dB
- 规则通道和注入通道都支持独立的 FIFO，FIFO 深度为 32，都支持 DMA 传输
- 支持 FIFO\_RDY 中断，可自定义 FIFO\_RDY 的阈值
- 支持采样 4 个内部通道和 12 个外部通道，内部通道包括 VBAT/2、TSEN 等
- 内置温度传感器，可根据温度-电压相关性实现温度测量的功能

### 2.10.12 PWM

芯片内置一组 PWM 信号，每组包含 4 通道 PWM 信号输出，每通道可以设置为 2 路互补 PWM，具有以下特性：

- 三种时钟源 BCLK/XCLK/32K 可供选择，搭配 16-bit 时钟分频器
- 4 通道 PWM 信号共享同一个 PWM 周期

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

- 每通道 PWM 都有双门限值设定，可以设定不同的占空比和相位，增加脉冲弹性
- 最快可产生频率为 40MHz 占空比为 50% 的方波，最慢可产生频率小于 1Hz 且占空比可调的波形
- 每通道 PWM 都有独立的死区时间设定
- 每路 PWM 输出引脚都可以设定不同的有效电平
- 每路 PWM 都有独立的连接开关用来选择是否与内部计数器相连，并可设定不连接时的默认输出电平
- 刹车信号可以将 PWM 输出电平置于预先设定的状态
- 多达 11 种可用于触发 GPADC 转换的触发源
- 支持多种中断类型：计数器溢出中断、门限值比较中断、周期数中断

### 2.10.13 AUSOLO

芯片内置一个数字音频采集模块，仅支持 PDM 接口 (支持 1 路 DMIC)，具有以下特性：

- 可调节的高通滤波器和数字音量控制
- 输入信号复用 GPIO
- 32 位宽度的接收 FIFO，深度为 8
- 支持 DMA 传输模式

### 2.10.14 AUPWM

- 集成 1 路数字音频输出模块，将音频数据转换为 sigma-delta 调制的 PWM 信号，并通过 GPIO 输出。具有以下特性：

- 采样率:8k/16k/24k/32k/48k
- 信噪比 (A-W): 95dB@48K 采样率
- 谐波失真 + 噪声: -80dB@48K 采样率

- 可调节的数字音量控制
- 支持差分互补输出
- 输出信号复用 GPIO
- 16 位宽度的发送 FIFO，深度为 16
- 支持 DMA 传输模式

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

### 2.10.15 PEC

外设扩展控制器（Peripherals Expander Controller）用于扩展外设，可扩展的外设包括但不限于 UART、I2C、SPI、GPIO、JTAG、DPI、DBI、PWM、IR 等，具有以下特性：

- 2 个独立的状态机用于扩展不同外设
- 状态机 0 的发送 FIFO 为 32\*32bits，接收 FIFO 为 16\*32bits，状态机 1 的发送和接收 FIFO 都为 8\*32bits
- 状态机 0 的指令空间为 128，状态机 1 的指令空间为 64
- 支持 9 类控制指令和 26 条计算类指令
- 灵活的 GPIO 映射
- 8 个内部寄存器（包括 ISR、OSR、6 个通用寄存器）
- 支持 DMA 传输模式
- 输入引脚支持去毛刺功能

### 2.10.16 SDIO3.0 Host

SDH 是 SD 总线接口主机控制器，用于控制与管理 SD 存储卡、SDIO 卡等设备，提供数据存储和扩展功能。具有以下特点：

- 符合 SD Host Controller Standard Specification Version 3.0
- 符合 Compliant to SD 3.0 Physical Layer Specification Version 3.01
- 符合 Compliant to SDIO Specification Version 3.0
- 支持 LS/DS/HS 速率
- 支持 ADMA1、ADMA2

### 2.10.17 SDIO Device

SDIO Device 时序图如下所示：

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

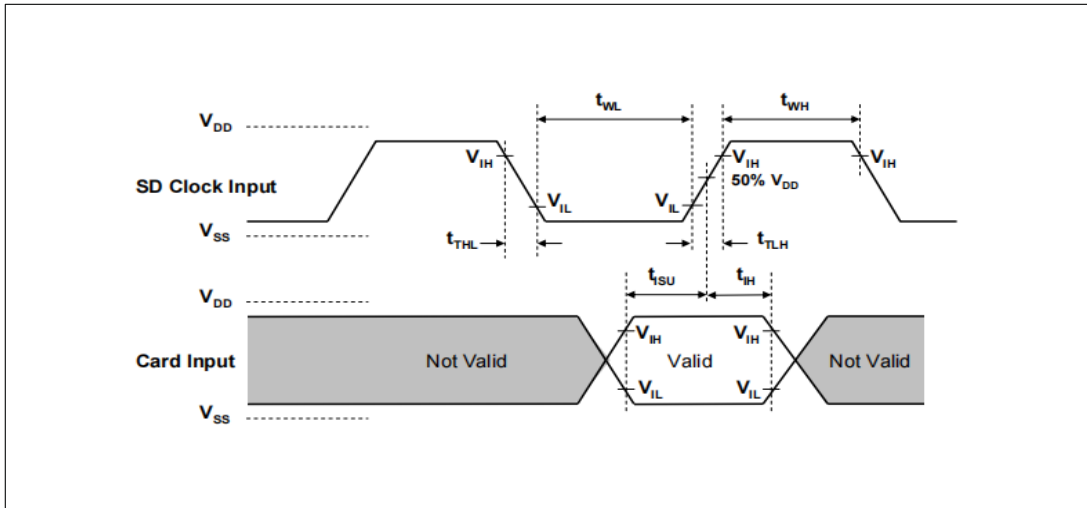


图 2.2: Card 输入时序图

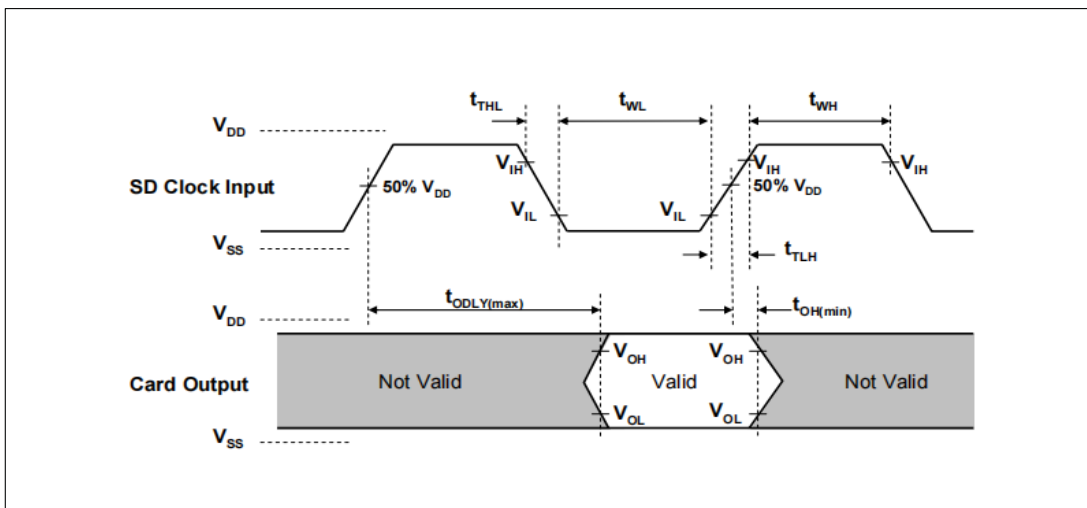


图 2.3: Card 输出时序图

表 2.4: 时序图参数说明

符号	参数	条件	最小值	典型值	最大值	单位
Clock CLK (All values are referred to min (VIH) and max (VIL))						
f <sub>PP</sub>	Clock frequency Data Transfer Mode	C <sub>CARD</sub> ≤ 10 pF (1 card)	0		50	MHz
t <sub>WL</sub>	Clock low time	C <sub>CARD</sub> ≤ 10 pF (1 card)	7			ns
t <sub>WH</sub>	Clock high time	C <sub>CARD</sub> ≤ 10 pF (1 card)	7			ns

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 2.4: 时序图参数说明 (continued)

符号	参数	条件	最小值	典型值	最大值	单位
$t_{TLH}$	Clock rise time	$C_{CARD} \leq 10 \text{ pF}$ (1 card)			3	ns
$t_{THL}$	Clock fall time	$C_{CARD} \leq 10 \text{ pF}$ (1 card)			3	ns
Inputs CMD, DAT (referenced to CLK)						
$t_{ISU}$	Input set-up time	$C_{CARD} \leq 10 \text{ pF}$ (1 card)	6			ns
$t_{IH}$	Input hold time	$C_{CARD} \leq 10 \text{ pF}$ (1 card)	2			ns
Outputs CMD, DAT (referenced to CLK)						
$t_{ODLY}$	Output Delay time during Data Transfer Mode	$C_L \leq 40 \text{ pF}$ (1 card)			14	ns
$t_{OH}$	Output Hold time	$C_L \geq 15 \text{ pF}$ (1 card)	2.5			ns
$C_L$	Total System capacitance for each line <sup>1</sup>	1 card			40	pF

<sup>1</sup> In order to satisfy stringent timing, host shall drive only one card.

## 2.10.18 USB

USB(Universal Serial Bus) 通用串行总线，是一个通用总线标准，用于规范电脑与外部设备的连接和通讯。BL616CL 支持 USB2.0 (HighSpeed + FullSpeed)，可作为主机控制器 (Host) 或者设备控制器 (Device)。作为主机控制器时，它包含一个支持低速、全速、高速的 USB 主机控制器。在没有软件干预的情况下，主机控制器可以自行处理基于事务的数据结构以减轻 CPU 的负载，并自动在 USB 总线上发送和接收数据。当作为设备控制器时，除端点 0 外的每个端点都支持 USB 规范的传输类型，以满足各种应用场景。

通用特征具有如下特性：

- 兼容 USB2.0 标准
- 内嵌高速 PHY
- 可通过软件配置成 HOST 模式或者 DEVICE 模式

HOST 模式特性如下：

- 兼容 EHCI 1.0 标准（不支持 FSTN 和 SITD）

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

- 支持枚举高速、全速、低速设备

DEVICE 模式特性如下:

- 支持高速、全速设备
- 1 个双向控制端点 0
- 8 个双向端点 (支持 IN / OUT ), 可配置为批量传输、中断传输、同步传输
- 内置专用 DMA (DMA, VDMA), 不支持直接读取 FIFO
- 共享 8 个 512 字节 fifo, 可灵活配置成单缓冲、双缓冲、三缓冲模式
- 支持 suspend、resume 和 remote wake-up 功能
- 支持软断开功能

### 2.10.19 Flash Controller

Flash 控制器支持 XIP (Execute In Place), 允许代码直接从 Flash 执行, 减少 RAM 占用。具备以下特性:

- 时钟源可以选择为 WifipII 80M/96M/120M/160M、XTAL、BCLK
- Flash 频率最高可达 80 MHz
- 兼容 SPI、Dual SPI、Quad SPI 接口
- 支持 Flash 擦/读/写操作
- 支持硬件 XIP 解密, 支持 AES CTR/XTS 模式
- 支持 Flash 24 位和 32 位地址模式
- 支持内封 Flash 和外置 Flash

### 2.10.20 Secure Boot

芯片支持 Secure Boot 功能, 能够在启动过程中对 Bootloader 和应用程序固件进行验证, 确保其完整性和可信性, 从而有效防止未经授权代码运行。具备以下特性:

- 签名验证: 支持基于 SECP256R1/SECP384R1 的签名验证
- 固件加密: 支持 AES CTR/XTS 加密算法
- 防回滚保护: 防止降级攻击, 确保设备运行最新或指定版本的固件

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

### 2.10.21 SEC\_ENG

SEC ENG 内置了多种运算模块，包括 AES、SHA、CRC、GMAC、PKA 和 TRNG。

- AES
  - 支持 128 位、192 位和 256 位密钥长度
  - 支持多种链接模式的加密和解密（ECB/CBC/CTR/XTS）
  - 密钥存储在 eFuse 中，带读写保护
  - 支持 AES LINK 功能
- SHA
  - 支持 SHA1/SHA224/SHA256/SHA384/SHA512
  - 支持 SHA LINK 功能
- TRNG
  - 单次生成 256 bits 随机数
  - 作为物理性随机数发生器工作
- CRC
  - 支持 CRC-16 和 CRC-32

### 2.10.22 TOUCH

芯片内置 1 组 touch 控制器，可在自扫描模式对最高 8 路通道扫描，互扫描模式对最高 16 个通道扫描。具备如下特性：

- 通道扫描时间可配置
- 支持触碰检测、触碰移除检测
- 扫描结果支持滤波处理，可降低毛刺信号影响
- 支持低功耗扫描模式
- 支持跳频模式，可降低同频干扰信号影响
- 触碰检测支持触碰时长可配置
- 支持自扫描模式及互扫描模式

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

### 3 管脚定义

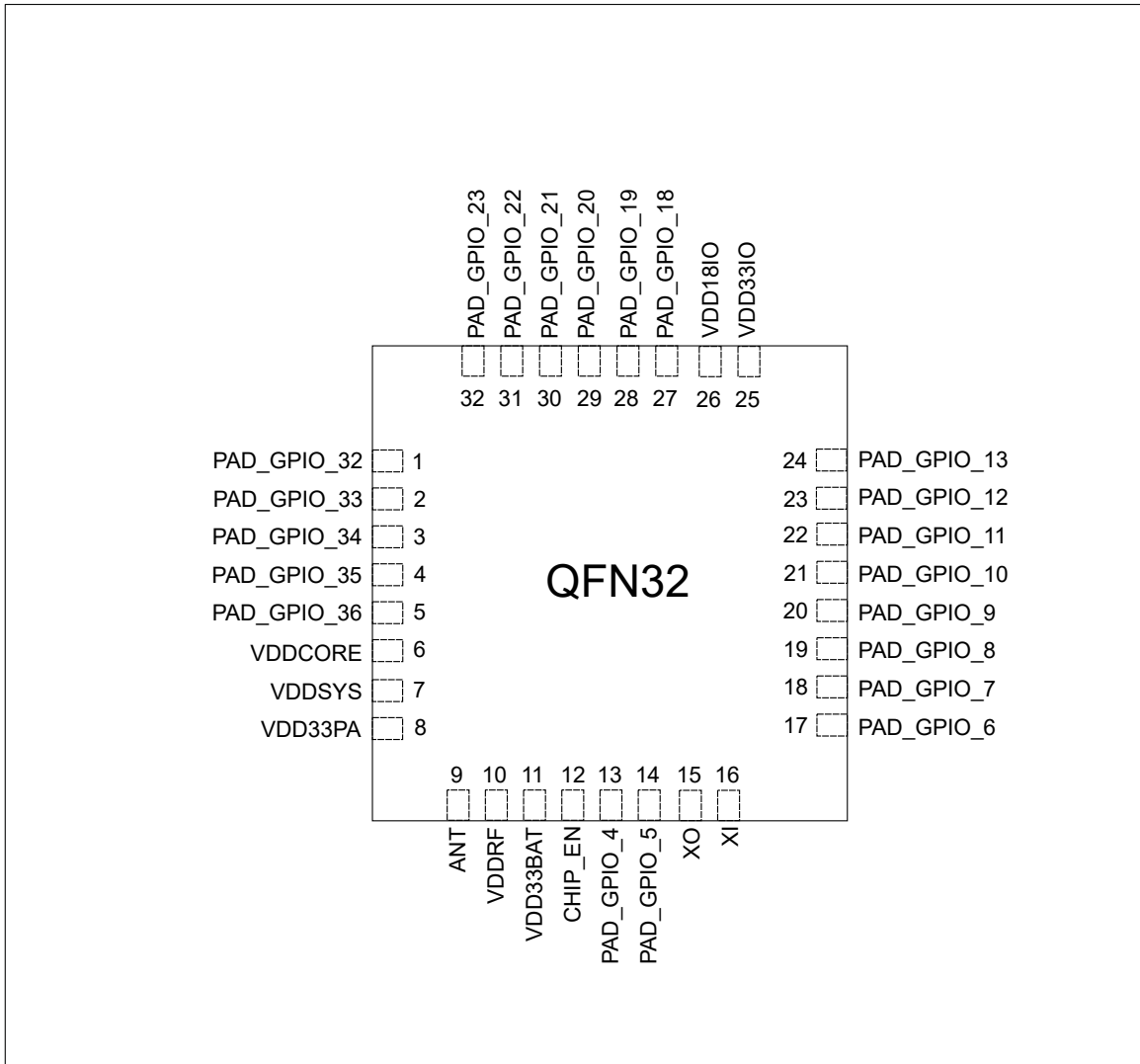


图 3.1: QFN32 管脚布局

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

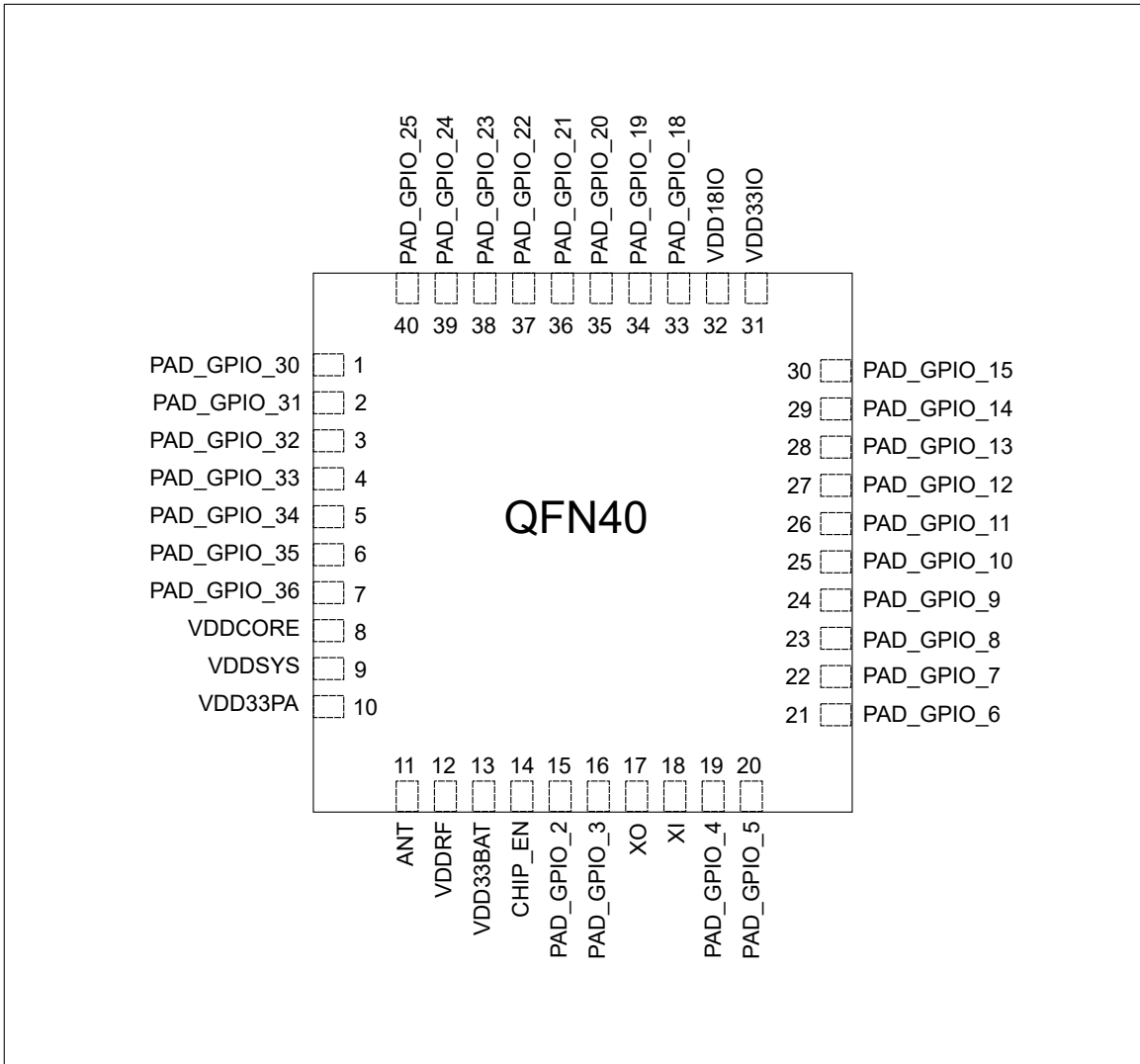


图 3.2: QFN40 管脚布局

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

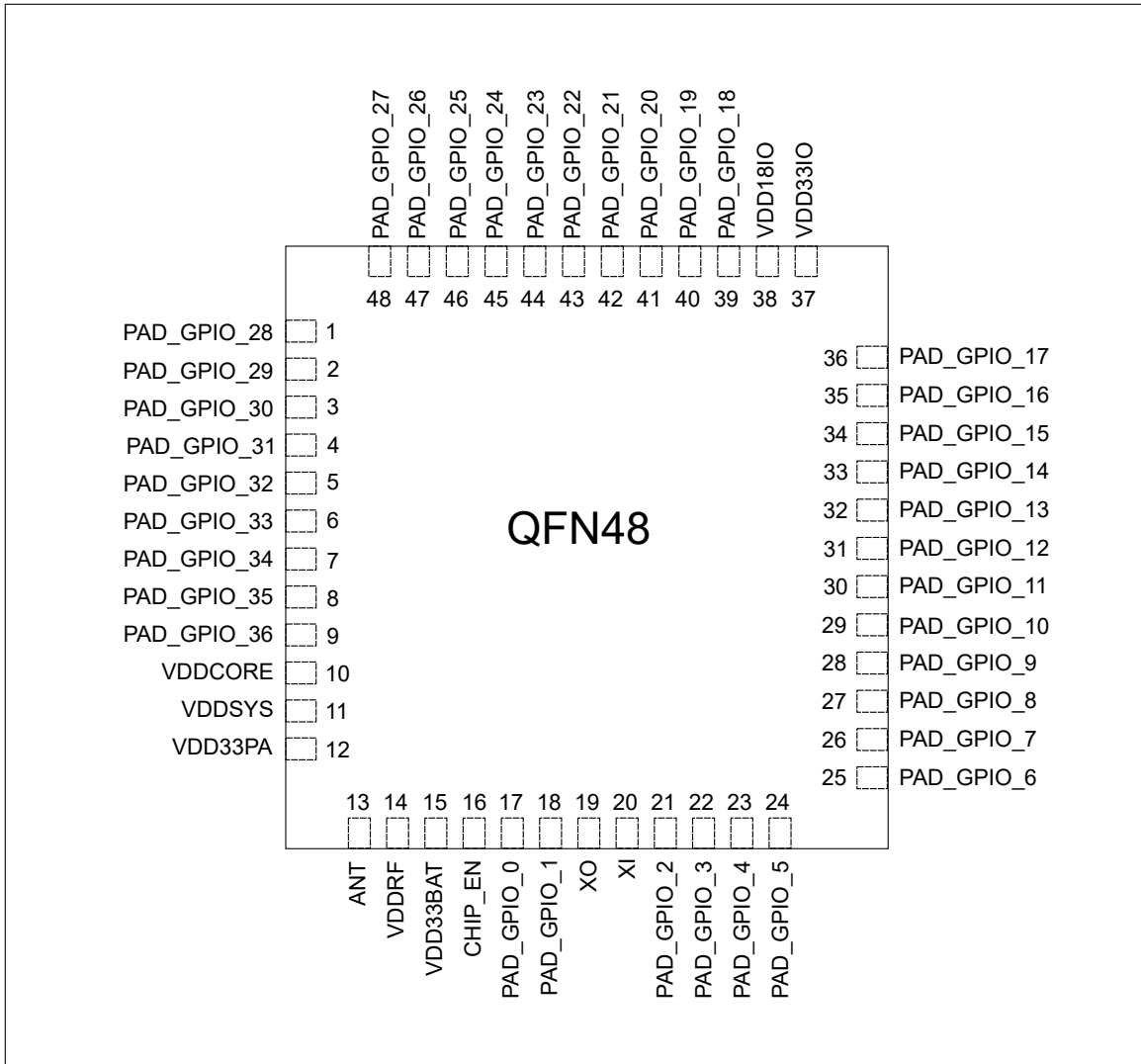


图 3.3: QFN48 管脚布局

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	-	1		DI/DO	PAD_GPIO_28	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	SF3_D1	NOR FLASH controller signal3 Data 1
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG4 <sup>1</sup>	-
						8	-	RMII_REF_CLK	RMII Reference Clock
						9	-	CAM_DAT2	Camera Data 2
						10	-	-	-
						11	-	SWGPIO[28]	Software GPIO 28
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
							reg_pwm1_io_sel=1	PWM0_CH2P	PWM0 Channel 2 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	DBI_TypeB_DB4	Display Bus Interface Type B Data Bit 4
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	DISP_QSPI_SDA2	Display Quad SPI Serial Data 2
						25	-	-	-
26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select						
27	-	PEC_28	PEC_28						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	-	2		DI/DO	PAD_GPIO_29	0	-	-	-
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	SF3_CS	NOR FLASH controller signal3 Chip Select
						3	-	I2S_FS	I2S Frame Sync
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG5	-
						8	-	RMII_RXD[1]	RMII Receive Data[1]
						9	-	CAM_DAT3	Camera Data 3
						10	-	-	-
						11	-	SWGPIO[29]	Software GPIO 29
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
							reg_pwm1_io_sel=1	PWM0_CH2N	PWM0 Channel 2 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	DBI_TypeB_DB5	Display Bus Interface Type B Data Bit 5
						23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control
						24	-	DISP_QSPI_SDA3	Display Quad SPI Serial Data 3
						25	-	-	-
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_29	PEC_29						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	1	3		DI/DO	PAD_GPIO_30	0	-	-	-
						1	-	SPI0_MISO <sup>2</sup>	SPI 0 Master Input, Slave Output
						2	-	-	-
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG6	-
						8	-	RMII_RXD[0]	RMII Receive Data[0]
						9	-	CAM_DAT6	Camera Data 6
						10	-	-	-
						11	-	SWGPIO[30]	Software GPIO 30
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH3P	PWM0 Channel 3 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	DBI_TypeB_DB6	Display Bus Interface Type B Data Bit 6
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	-	-
						25	-	AUPWM_P	AUPWM_P
26	-	M0_JTAG_TDO	M0 JTAG Test Data Out						
27	-	PEC_30	PEC_30						
31	-	chip_clk_out[2]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	2	4		DI/DO	PAD_GPIO_31	0	-	-	-
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	-	-
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG7	-
						8	-	RMII_RX_DV	RMII Receive Data Valid
						9	-	CAM_DAT7	Camera Data 7
						10	-	-	-
						11	-	SWGPIO[31]	Software GPIO 31
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH3N	PWM0 Channel 3 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	DBI_TypeB_DB7	Display Bus Interface Type B Data Bit 7
						23	-	DBI_TypeC_CSn	Display Bus Interface Type C Chip Select
						24	-	-	-
						25	-	AUPWM_N	AUPWM_N
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_31	PEC_31						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
1	3	5		DI/DO	PAD_GPIO_32	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	-	-
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	pdm_clk	PDM Clock Line
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG8	-
						8	-	-	-
						9	-	-	-
						10	-	USB_DP/ADC_CH10	USB_DP/ADC Channel 10
						11	-	SWGPIQ[32]	Software GPIO 32
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
							reg_pwm1_io_sel=1	PWM0_CH0P	PWM0 Channel 0 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	-	-
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	-	-
						25	-	-	-
						26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select
27	-	PEC_32	PEC_32						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
2	4	6		DI/DO	PAD_GPIO_33	0	-	-	-
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	-	-
						3	-	I2S_FS	I2S Frame Sync
						4	-	pdm_in	PDM Data Line
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG9	-
						8	-	-	-
						9	-	-	-
						10	-	USB_DM/ADC_CH11	USB_DM/ADC Channel 11
						11	-	SWGPIQ[33]	Software GPIO 33
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
							reg_pwm1_io_sel=1	PWM0_CH0N	PWM0 Channel 0 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	-	-
						23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control
						24	-	-	-
						25	-	-	-
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_33	PEC_33						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
3	5	7		DI/DO	PAD_GPIO_34	0	-	-	-
						1	-	SPI0_MISO	SPI 0 Master Input, Slave Output
						2	-	-	-
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG10	-
						8	-	-	-
						9	-	-	-
						10	-	-	-
						11	-	SWGPI0[34]	Software GPIO 34
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH1P	PWM0 Channel 1 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	-	-
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	-	-
						25	-	-	-
26	-	M0_JTAG_TDO	M0 JTAG Test Data Out						
27	-	PEC_34	PEC_34						
31	-	chip_clk_out[2]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
4	6	8		DI/DO	PAD_GPIO_35	0	-	-	-
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	-	-
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG11	-
						8	-	-	-
						9	-	-	-
						10	-	-	-
						11	-	SWGPIO[35]	Software GPIO 35
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH1N	PWM0 Channel 1 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	-	-
						23	-	DBI_TypeC_CSn	Display Bus Interface Type C Chip Select
						24	-	-	-
						25	-	-	-
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_35	PEC_35						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
5	7	9		DI/DO	PAD_GPIO_36	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	-	-
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG0	-
						8	-	-	-
						9	-	-	-
						10	-	-	-
						11	-	SWGPIQ[36]	Software GPIO 36
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
							reg_pwm1_io_sel=1	PWM0_CH2P	PWM0 Channel 2 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
22	-	DBI_TypeB_DcN	Display Bus Interface Type B Data /Command Control						
23	-	-	-						
24	-	-	-						
25	-	-	-						
26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select						
27	-	PEC_36	PEC_36						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						
6	8	10		Power,Input	VDDCORE	-	-	-	-
7	9	11		Power,Input	VDDSYS	-	-	-	-
8	10	12		Power,Input	VDD33PA	-	-	-	-
9	11	13		Analog	ANT	-	-	-	-
10	12	14		Power,Input	VDDRF	-	-	-	-
11	13	15		Power,Input	VDD33BAT	-	-	-	-
12	14	16		Analog	CHIP_EN	-	-	-	-
15	17	19		Clock	XO	-	-	-	-
16	18	20		Clock	XI	-	-	-	-

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	-	17		DI/DO	PAD_GPIO_0	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	-	-
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG0	-
						8	-	-	-
						9	-	-	-
						10	-	ADC_CH0	ADC Channel 0
						11	-	SWGPIQ[0]	Software GPIO 0
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
							reg_pwm1_io_sel=1	PWM0_CH0P	PWM0 Channel 0 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	DBI_TypeB_CSn	Display Bus Interface Type B Chip Select
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	-	-
						25	-	-	-
					26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select	
					27	-	PEC_0	PEC_0	
					31	-	chip_clk_out[0]	Internal Clock Output of the Chip	

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	-	18		DI/DO	PAD_GPIO_1	0	-	-	-
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	-	-
						3	-	I2S_FS	I2S Frame Sync
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG1	-
						8	-	-	-
						9	-	-	-
						10	-	ADC_CH1	ADC Channel 1
						11	-	SWGPIQ[1]	Software GPIO 1
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
						16	reg_pwm1_io_sel=1	PWM0_CH0N	PWM0 Channel 0 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	DBI_TypeB_RDn	Display Bus Interface Type B Read Control
						23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control
						24	-	-	-
						25	-	-	-
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_1	PEC_1						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	15	21		DI/DO	PAD_GPIO_2	0	-	-	-
						1	-	SPI0_MISO	SPI 0 Master Input, Slave Output
						2	-	-	-
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG2	-
						8	-	-	-
						9	-	-	-
						10	-	ADC_CH2	ADC Channel 2
						11	-	SWGPI0[2]	Software GPIO 2
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH1P	PWM0 Channel 1 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	DBI_TypeB_WRn	Display Bus Interface Type B Write Control
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	-	-
						25	-	-	-
26	-	M0_JTAG_TDO	M0 JTAG Test Data Out						
27	-	PEC_2	PEC_2						
31	-	chip_clk_out[2]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	16	22		DI/DO	PAD_GPIO_3	0	-	-	-
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	-	-
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG3	-
						8	-	-	-
						9	-	-	-
						10	-	ADC_CH3	ADC Channel 3
						11	-	SWGPI0[3]	Software GPIO 3
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH1N	PWM0 Channel 1 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	DBI_TypeB_DCn	Display Bus Interface Type B Data /Command Control
						23	-	DBI_TypeC_CSn	Display Bus Interface Type C Chip Select
						24	-	-	-
						25	-	-	-
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_3	PEC_3						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
13	19	23		DI/DO	PAD_GPIO_4	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	-	-
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG4	-
						8	-	-	-
						9	-	-	-
						10	-	ADC_CH4	ADC Channel 4
						11	-	SWGPIQ[4]	Software GPIO 4
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
							reg_pwm1_io_sel=1	PWM0_CH2P	PWM0 Channel 2 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	-	-
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	-	-
						25	-	-	-
26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select						
27	-	PEC_4	PEC_4						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
14	20	24		DI/DO	PAD_GPIO_5	0	-	-	-
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	-	-
						3	-	I2S_FS	I2S Frame Sync
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG5	-
						8	-	-	-
						9	-	-	-
						10	-	ADC_CH5	ADC Channel 5
						11	-	SWGPIQ[5]	Software GPIO 5
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
							reg_pwm1_io_sel=1	PWM0_CH2N	PWM0 Channel 2 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	-	-
						23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control
						24	-	-	-
						25	-	-	-
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_5	PEC_5						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
17	21	25		DI/DO	PAD_GPIO_6	0	-	SDH_DAT2	SD Host Data 2
						1	-	SPI0_MISO	SPI 0 Master Input, Slave Output
						2	-	SF2_CS <sup>3</sup>	NOR FLASH controller signal2 Chip Select
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG6	-
						8	-	-	-
						9	-	-	-
						10	-	ADC_CH6	ADC Channel 6
						11	-	SWGPIQ[6]	Software GPIO 6
						12	-	SDIO_DAT2	SDIO_DAT2
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH3P	PWM0 Channel 3 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	-	-
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	DISP_QSPI_SCL	Display Quad SPI Serial Clock
						25	-	-	-
26	-	M0_JTAG_TDO	M0 JTAG Test Data Out						
27	-	PEC_6	PEC_6						
31	-	chip_clk_out[2]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
18	22	26		DI/DO	PAD_GPIO_7	0	-	SDH_DAT3	SD Host Data 3
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	SF2_D1	NOR FLASH controller signal2 Data 1
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG7	-
						8	-	-	-
						9	-	-	-
						10	-	ADC_CH7	ADC Channel 7
						11	-	SWGPI0[7]	Software GPIO 7
						12	-	SDIO_DAT3	SDIO_DAT3
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH3N	PWM0 Channel 3 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	-	-
						23	-	DBI_TypeC_CS <sub>n</sub>	Display Bus Interface Type C Chip Select
						24	-	DISP_QSPI_CS <sub>n</sub>	Display Quad SPI Chip Select
						25	-	-	-
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_7	PEC_7						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
19	23	27		DI/DO	PAD_GPIO_8	0	-	SDH_CMD	SD Host Command
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	SF2_D2	NOR FLASH controller signal2 Data 2
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG8	-
						8	-	-	-
						9	-	-	-
						10	-	-	-
						11	-	SWGPIQ[8]	Software GPIO 8
						12	-	SDIO_CMD	SDIO_CMD
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
							reg_pwm1_io_sel=1	PWM0_CH0P	PWM0 Channel 0 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	-	-
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	DISP_QSPI_SDA0	Display Quad SPI Serial Data 0
						25	-	-	-
26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select						
27	-	PEC_8	PEC_8						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
20	24	28		DI/DO	PAD_GPIO_9	0	-	SDH_CLK	SD Host Clock
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	SF2_D0	NOR FLASH controller signal2 Data 0
						3	-	I2S_FS	I2S Frame Sync
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG9	-
						8	-	-	-
						9	-	-	-
						10	-	-	-
						11	-	SWGPIQ[9]	Software GPIO 9
						12	-	SDIO_CLK	SDIO_CLK
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
							reg_pwm1_io_sel=1	PWM0_CH0N	PWM0 Channel 0 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	-	-
						23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control
						24	-	DISP_QSPI_SDA1	Display Quad SPI Serial Data 1
						25	-	-	-
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_9	PEC_9						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
21	25	29		DI/DO	PAD_GPIO_10	0	-	SDH_DAT0	SD Host Data 0
						1	-	SPI0_MISO	SPI 0 Master Input, Slave Output
						2	-	SF2_CLK	NOR FLASH controller signal2 Clock
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG10	-
						8	-	-	-
						9	-	-	-
						10	-	-	-
						11	-	SWGPIO[10]	Software GPIO 10
						12	-	SDIO_DAT0	SDIO_DAT0
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH1P	PWM0 Channel 1 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	-	-
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	DISP_QSPI_SDA2	Display Quad SPI Serial Data 2
						25	-	-	-
26	-	M0_JTAG_TDO	M0 JTAG Test Data Out						
27	-	PEC_10	PEC_10						
31	-	chip_clk_out[2]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
22	26	30		DI/DO	PAD_GPIO_11	0	-	SDH_DAT1	SD Host Data 1
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	SF2_D3	NOR FLASH controller signal2 Data 3
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG11	-
						8	-	-	-
						9	-	-	-
						10	-	-	-
						11	-	SWGPIO[11]	Software GPIO 11
						12	-	SDIO_DAT1	SDIO_DAT1
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH1N	PWM0 Channel 1 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	-	-
						23	-	DBI_TypeC_CS <sub>n</sub>	Display Bus Interface Type C Chip Select
						24	-	DISP_QSPI_SDA3	Display Quad SPI Serial Data 3
						25	-	-	-
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_11	PEC_11						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
23	27	31		DI/DO	PAD_GPIO_12	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	-	-
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG0	-
						8	-	RMII_MDIO	RMII Management Data Input/Output
						9	-	CAM_DAT0	Camera Data 0
						10	-	ADC_CH8	ADC Channel 8
						11	-	SWGPIQ[12]	Software GPIO 12
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
							reg_pwm1_io_sel=1	PWM0_CH2P	PWM0 Channel 2 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	DBI_TypeB_DB0	Display Bus Interface Type B Data Bit 0
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	DISP_QSPI_SCL	Display Quad SPI Serial Clock
						25	-	AUPWM_P	AUPWM_P
26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select						
27	-	PEC_12	PEC_12						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
24	28	32		DI/DO	PAD_GPIO_13	0	-	-	-
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	-	-
						3	-	I2S_FS	I2S Frame Sync
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG1	-
						8	-	RMII_MDC	RMII Management Data Clock
						9	-	CAM_DAT1	Camera Data 1
						10	-	ADC_CH9	ADC Channel 9
						11	-	SWGPIQ[13]	Software GPIO 13
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
							reg_pwm1_io_sel=1	PWM0_CH2N	PWM0 Channel 2 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	DBI_TypeB_DB1	Display Bus Interface Type B Data Bit 1
						23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control
						24	-	DISP_QSPI_CSn	Display Quad SPI Chip Select
						25	-	AUPWM_N	AUPWM_N
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_13	PEC_13						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	29	33		DI/DO	PAD_GPIO_14	0	-	-	-
						1	-	SPI0_MISO	SPI 0 Master Input, Slave Output
						2	-	-	-
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	pdm_clk	PDM Clock Line
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG2	-
						8	-	RMII_TX_EN	RMII Transmit Enable
						9	-	CAM_DAT2	Camera Data 2
						10	-	-	-
						11	-	SWGPIO[14]	Software GPIO 14
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH3P	PWM0 Channel 3 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	DBI_TypeB_DB2	Display Bus Interface Type B Data Bit 2
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	DISP_QSPI_SDA0	Display Quad SPI Serial Data 0
						25	-	-	-
26	-	M0_JTAG_TDO	M0 JTAG Test Data Out						
27	-	PEC_14	PEC_14						
31	-	chip_clk_out[2]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	30	34		DI/DO	PAD_GPIO_15	0	-	-	-
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	-	-
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	pdm_in	PDM Data Line
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG3	-
						8	-	RMII_TXD[1]	RMII Transmit Data[1]
						9	-	CAM_DAT3	Camera Data 3
						10	-	-	-
						11	-	SWGPIO[15]	Software GPIO 15
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH3N	PWM0 Channel 3 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	DBI_TypeB_DB3	Display Bus Interface Type B Data Bit 3
						23	-	DBI_TypeC_CSn	Display Bus Interface Type C Chip Select
						24	-	DISP_QSPI_SDA1	Display Quad SPI Serial Data 1
						25	-	-	-
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_15	PEC_15						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	-	35		DI/DO	PAD_GPIO_16	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	-	-
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG4	-
						8	-	RMII_TXD[0]	RMII Transmit Data[0]
						9	-	CAM_DAT4	Camera Data 4
						10	-	-	-
						11	-	SWGPIQ[16]	Software GPIO 16
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
						16	reg_pwm1_io_sel=1	PWM0_CH0P	PWM0 Channel 0 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	DBI_TypeB_DB4	Display Bus Interface Type B Data Bit 4
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	DISP_QSPI_SDA2	Display Quad SPI Serial Data 2
						25	-	-	-
26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select						
27	-	PEC_16	PEC_16						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	-	36		DI/DO	PAD_GPIO_17	0	-	-	-
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	-	-
						3	-	I2S_FS	I2S Frame Sync
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG5	-
						8	-	RMII_REF_CLK	RMII Reference Clock
						9	-	CAM_DAT5	Camera Data 5
						10	-	-	-
						11	-	SWGPIQ[17]	Software GPIO 17
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
						16	reg_pwm1_io_sel=1	PWM0_CH0N	PWM0 Channel 0 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	DBI_TypeB_DB5	Display Bus Interface Type B Data Bit 5
23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control						
24	-	DISP_QSPI_SDA3	Display Quad SPI Serial Data 3						
25	-	-	-						
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_17	PEC_17						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						
25	31	37		Power,Input	VDD33IO	-	-	-	-
26	32	38		Power,Input	VDD18IO	-	-	-	-

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
27	33	39		Power,Input	PAD_GPIO_18	0	-	-	-
						1	-	SPI0_MISO	SPI 0 Master Input, Slave Output
						2	-	-	-
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG6	-
						8	-	RMII_RXD[1]	RMII Receive Data[1]
						9	-	CAM_DAT6	Camera Data 6
						10	-	-	-
						11	-	SWGPIO[18]	Software GPIO 18
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH1P	PWM0 Channel 1 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	DBI_TypeB_DB6	Display Bus Interface Type B Data Bit 6
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	DISP_QSPI_SCL	Display Quad SPI Serial Clock
						25	-	AUPWM_P	AUPWM_P
26	-	M0_JTAG_TDO	M0 JTAG Test Data Out						
27	-	PEC_18	PEC_18						
31	-	chip_clk_out[2]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
28	34	40		Power,Input	PAD_GPIO_19	0	-	-	-
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	-	-
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG7	-
						8	-	RMII_RXD[0]	RMII Receive Data[0]
						9	-	CAM_DAT7	Camera Data 7
						10	-	-	-
						11	-	SWGPIO[19]	Software GPIO 19
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH1N	PWM0 Channel 1 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	DBI_TypeB_DB7	Display Bus Interface Type B Data Bit 7
						23	-	DBI_TypeC_CSn	Display Bus Interface Type C Chip Select
						24	-	DISP_QSPI_CSn	Display Quad SPI Chip Select
						25	-	AUPWM_N	AUPWM_N
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_19	PEC_19						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
29	35	41		DI/DO	PAD_GPIO_20	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	-	-
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	pdm_clk	PDM Clock Line
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG8	-
						8	-	RMII_RX_DV	RMII Receive Data Valid
						9	-	CAM_VSYNC	Camera Vertical Sync
						10	-	-	-
						11	-	SWGPIQ[20]	Software GPIO 20
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
							reg_pwm1_io_sel=1	PWM0_CH2P	PWM0 Channel 2 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	-	-
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	DISP_QSPI_SDA0	Display Quad SPI Serial Data 0
						25	-	-	-
26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select						
27	-	PEC_20	PEC_20						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
30	36	42		DI/DO	PAD_GPIO_21	0	-	-	-
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	-	-
						3	-	I2S_FS	I2S Frame Sync
						4	-	pdm_in	PDM Data Line
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG9	-
						8	-	-	-
						9	-	CAM_CLK	Camera Clock
						10	-	-	-
						11	-	SWGPIQ[21]	Software GPIO 21
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
							reg_pwm1_io_sel=1	PWM0_CH2N	PWM0 Channel 2 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	-	-
						23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control
						24	-	DISP_QSPI_SDA1	Display Quad SPI Serial Data 1
						25	-	-	-
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_21	PEC_21						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
31	37	43		DI/DO	PAD_GPIO_22	0	-	-	-
						1	-	SPI0_MISO	SPI 0 Master Input, Slave Output
						2	-	-	-
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG10	-
						8	-	-	-
						9	-	CAM_HSYNC	Camera Horizontal Sync
						10	-	-	-
						11	-	SWGPIO[22]	Software GPIO 22
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH3P	PWM0 Channel 3 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	-	-
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	DISP_QSPI_SDA2	Display Quad SPI Serial Data 2
						25	-	-	-
26	-	M0_JTAG_TDO	M0 JTAG Test Data Out						
27	-	PEC_22	PEC_22						
31	-	chip_clk_out[2]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
32	38	44		DI/DO	PAD_GPIO_23	0	-	-	-
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	-	-
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG11	-
						8	-	RMII_MDIO	RMII Management Data Input/Output
						9	-	CAM_VSYNC	Camera Vertical Sync
						10	-	-	-
						11	-	SWGPIO[23]	Software GPIO 23
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH3N	PWM0 Channel 3 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	-	-
						23	-	DBI_TypeC_CS <sub>n</sub>	Display Bus Interface Type C Chip Select
						24	-	DISP_QSPI_SDA3	Display Quad SPI Serial Data 3
						25	-	-	-
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_23	PEC_23						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	39	45		DI/DO	PAD_GPIO_24	0	-	-	-
						1	-	SPI0_SS	SPI 0 Slave Select
						2	-	SF3_D3	NOR FLASH controller signal3 Data 3
						3	-	I2S_BCLK	I2S Bit Clock
						4	-	-	-
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG0	-
						8	-	RMII_MDC	RMII Management Data Clock
						9	-	CAM_DAT4	Camera Data 4
						10	-	-	-
						11	-	SWGPIO[24]	Software GPIO 24
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH0P	PWM0 Channel 0 Positive
						16	reg_pwm1_io_sel=1	PWM0_CH0P	PWM0 Channel 0 Positive
						20	-	SPI1_SS	SPI 1 Slave Select
						22	-	DBI_TypeB_DB0	Display Bus Interface Type B Data Bit 0
						23	-	DBI_TypeC_SDA	Display Bus Interface Type C Serial Data
						24	-	DISP_QSPI_SCL	Display Quad SPI Serial Clock
						25	-	AUPWM_P	AUPWM_P
26	-	M0_JTAG_TMS	M0 JTAG Test Mode Select						
27	-	PEC_24	PEC_24						
31	-	chip_clk_out[0]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	40	46		DI/DO	PAD_GPIO_25	0	-	-	-
						1	-	SPI0_SCLK	SPI 0 Serial Clock
						2	-	SF3_CLK	NOR FLASH controller signal3 Clock
						3	-	I2S_FS	I2S Frame Sync
						4	-	-	-
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG1	-
						8	-	RMII_TX_EN	RMII Transmit Enable
						9	-	CAM_DAT5	Camera Data 5
						10	-	-	-
						11	-	SWGPIO[25]	Software GPIO 25
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH1P	PWM0 Channel 1 Positive
							reg_pwm1_io_sel=1	PWM0_CH0N	PWM0 Channel 0 Negative
						20	-	SPI1_SCLK	SPI 1 Serial Clock
						22	-	DBI_TypeB_DB1	Display Bus Interface Type B Data Bit 1
						23	-	DBI_TypeC_DCn	Display Bus Interface Type C Data /Command Control
						24	-	DISP_QSPI_CSn	Display Quad SPI Chip Select
						25	-	AUPWM_N	AUPWM_N
26	-	M0_JTAG_TCK	M0 JTAG Test Clock						
27	-	PEC_25	PEC_25						
31	-	chip_clk_out[1]	Internal Clock Output of the Chip						

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	-	47		DI/DO	PAD_GPIO_26	0	-	-	-
						1	-	SPI0_MISO	SPI 0 Master Input, Slave Output
						2	-	SF3_D0	NOR FLASH controller signal3 Data 0
						3	-	I2S_DI/I2S_RCLK_O	I2S Data Input/I2S Receive Clock Output
						4	-	pdm_clk	PDM Clock Line
						5	-	I2C_SCL_0	I2C 0 Serial Clock
						6	-	I2C_SCL_1	I2C 1 Serial Clock
						7	-	UART_SIG2	-
						8	-	RMII_TXD[1]	RMII Transmit Data[1]
						9	-	CAM_DAT0	Camera Data 0
						10	-	-	-
						11	-	SWGPIO[26]	Software GPIO 26
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH2P	PWM0 Channel 2 Positive
							reg_pwm1_io_sel=1	PWM0_CH1P	PWM0 Channel 1 Positive
						20	-	SPI1_MISO	SPI 1 Master Input, Slave Output
						22	-	DBI_TypeB_DB2	Display Bus Interface Type B Data Bit 2
						23	-	DBI_TypeC_SCL	Display Bus Interface Type C Serial Clock
						24	-	DISP_QSPI_SDA0	Display Quad SPI Serial Data 0
						25	-	-	-
					26	-	M0_JTAG_TDO	M0 JTAG Test Data Out	
					27	-	PEC_26	PEC_26	
					31	-	chip_clk_out[2]	Internal Clock Output of the Chip	

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.1: 管脚定义 (continued)

QFN32	QFN40	QFN48	Voltage Domain	Type	Pin Name	GPIO Function	Signal Select	PAD Main	Description
-	-	48		DI/DO	PAD_GPIO_27	0	-	-	-
						1	-	SPI0_MOSI	SPI 0 Master Output, Slave Input
						2	-	SF3_D2	NOR FLASH controller signal3 Data 2
						3	-	I2S_DO/I2S_RCLK_O	I2S Data Output/I2S Receive Clock Output
						4	-	pdm_in	PDM Data Line
						5	-	I2C_SDA_0	I2C 0 Serial Data
						6	-	I2C_SDA_1	I2C 1 Serial Data
						7	-	UART_SIG3	-
						8	-	RMII_TXD[0]	RMII Transmit Data[0]
						9	-	CAM_DAT1	Camera Data 1
						10	-	-	-
						11	-	SWGPIO[27]	Software GPIO 27
						12	-	-	-
						16	reg_pwm1_io_sel=0	PWM0_CH3P	PWM0 Channel 3 Positive
							reg_pwm1_io_sel=1	PWM0_CH1N	PWM0 Channel 1 Negative
						20	-	SPI1_MOSI	SPI 1 Master Output, Slave Input
						22	-	DBI_TypeB_DB3	Display Bus Interface Type B Data Bit 3
						23	-	DBI_TypeC_CSn	Display Bus Interface Type C Chip Select
						24	-	DISP_QSPI_SDA1	Display Quad SPI Serial Data 1
25	-	-	-						
26	-	M0_JTAG_TDI	M0 JTAG Test Data Input						
27	-	PEC_27	PEC_27						
31	-	chip_clk_out[3]	Internal Clock Output of the Chip						

<sup>1</sup> UART SIGx(x=0-11) 用于选择 UART 信号的映射, 以 UART\_SIG0 和 UART\_SIG1 为例, 下表为 UART\_SIG0 和 UART\_SIG1 的映射关系。

<sup>2</sup> 当选为 SPI 功能时, 默认为 SPI\_MISO, 可通过寄存器将该功能转换为 SPI\_MOSI。

<sup>3</sup> SF1 用于内部 flash, SF2 和 SF3 不能同时使用。

表 3.2: UART Signal Mapping

UART Signal	uart_sig_0_sel	Mapping Signal
UART_SIG0	uart_sig_0_sel=0	UART0_RTS
	uart_sig_0_sel=1	UART0_CTS
	uart_sig_0_sel=2	UART0_TXD
	uart_sig_0_sel=3	UART0_RXD
	uart_sig_0_sel=4	UART1_RTS
	uart_sig_0_sel=5	UART1_CTS
	uart_sig_0_sel=6	UART1_TXD
	uart_sig_0_sel=7	UART1_RXD
	uart_sig_0_sel=8	UART2_RTS
	uart_sig_0_sel=9	UART2_CTS
	uart_sig_0_sel=10	UART2_TXD
	uart_sig_0_sel=11	UART2_RXD

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 3.2: UART Signal Mapping(continued)

UART Signal	uart_sig_0_sel	Mapping Signal
UART_SIG1	uart_sig_1_sel=0	UART0_RTS
	uart_sig_1_sel=1	UART0_CTS
	uart_sig_1_sel=2	UART0_TXD
	uart_sig_1_sel=3	UART0_RXD
	uart_sig_1_sel=4	UART1_RTS
	uart_sig_1_sel=5	UART1_CTS
	uart_sig_1_sel=6	UART1_TXD
	uart_sig_1_sel=7	UART1_RXD
	uart_sig_1_sel=8	UART2_RTS
	uart_sig_1_sel=9	UART2_CTS
	uart_sig_1_sel=10	UART2_TXD
	uart_sig_1_sel=11	UART2_RXD

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

**4** 射頻特性

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

**5**      音频特性

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

**6** 功耗

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 7 电气特性

### 7.1 绝对最大额定值

表 7.1: 电源的绝对最大额定值

管脚名称	最小值	最大值	单位
VDD33PA, VDD33BAT, VDD33IO	-0.3	3.63	V
ESD Protection (HBM)		2000	V
Storage Temperature	-45	135	°C

### 7.2 运行条件

#### 7.2.1 电源特性

表 7.2: 建议电源值范围

管脚名称	最小值	典型值	最大值	单位
VDD33PA, VDD33BAT, VDD33IO	2.97	3.3	3.63	V

#### 7.2.2 IO 直流特性

表 7.3: IO 直流特性

符号	描述	GPIO 号	条件	最小值	典型值	最大值	单位
VOH	Output voltage high	GPIO 0-13, GPIO18-36	GPIO drive strength 0, source current = 5.4mA		0.9*VDDIO		V
			GPIO drive strength 0, source current = 12.2mA				
			GPIO drive strength 0, source current = 14.9mA				
			GPIO drive strength 0, source current = 21.6mA				

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 7.3: IO 直流特性 (continued)

符号	描述	GPIO 号	条件	最小值	典型值	最大值	单位
		GPIO 14-17	GPIO drive strength 0, source current = 6.3mA				
			GPIO drive strength 0, source current = 12.6mA				
			GPIO drive strength 0, source current = 18.8mA				
			GPIO drive strength 0, source current = 25.1mA				
VOL	Output voltage low	GPIO 0-13, GPIO18-36	GPIO drive strength 0, sink current = 9.3mA		0.1*VDDIO		V
			GPIO drive strength 0, sink current = 18.5mA				
			GPIO drive strength 0, sink current = 23.2mA				
			GPIO drive strength 0, sink current = 32.4mA				
		GPIO 14-17	GPIO drive strength 0, sink current = 5.8mA				
			GPIO drive strength 0, sink current = 11.6mA				
			GPIO drive strength 0, sink current = 17.4mA				
			GPIO drive strength 0, sink current = 23.2mA				
VIH	Input voltage high			2		V	
VIL	Input voltage low					0.8	V

### 7.2.3 上电时序

为确保正常的上电启动，电源、复位、Bootstrap 引脚需要满足相应的时序要求。

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

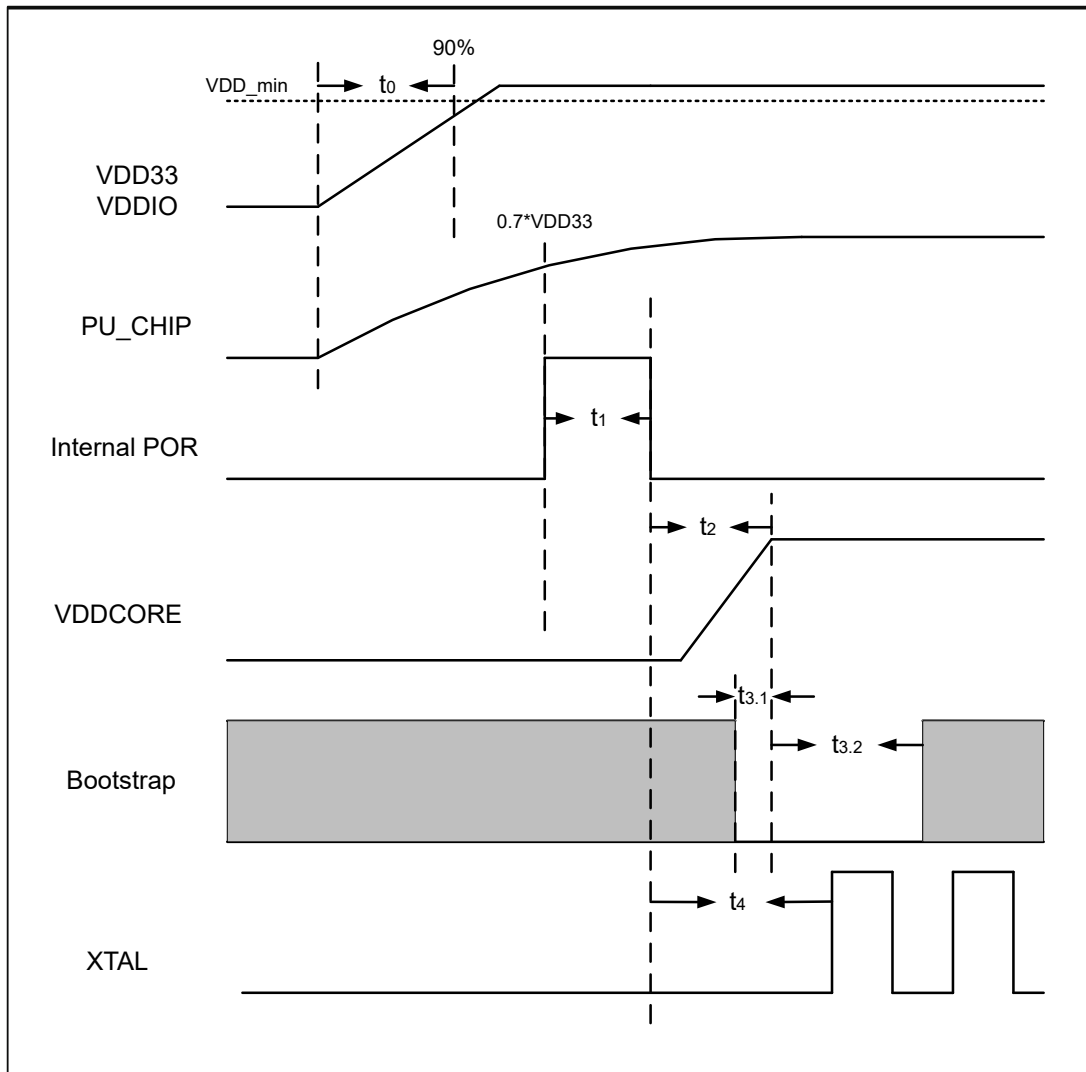


图 7.1: 上电时序

表 7.4: 上电时序参数说明

参数	说明	最小值 (ms)	典型值 (ms)	最大值 (ms)
$t_0$	电源电压到达 90% 的上升时间 <sup>1</sup>		0.1	
$t_1$	内部 POR 持续时间		2.5	
$t_2$	POR 变低到 VDDCORE 输出的时间		2	
$t_{3.1}$	Bootstrap 引脚 <sup>2</sup> 在 VDDCORE 建立前的准备时间	0		
$t_{3.2}$	Bootstrap 引脚保持有效电平的时间	2		
$t_4$	POR 变低到 XTAL 起振时间		3	

<sup>1</sup>  $VDD_{min}$  是保证芯片正常工作的最小值。

<sup>2</sup> Bootstrap 引脚是 GPIO36。

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

### 7.2.4 复位时序

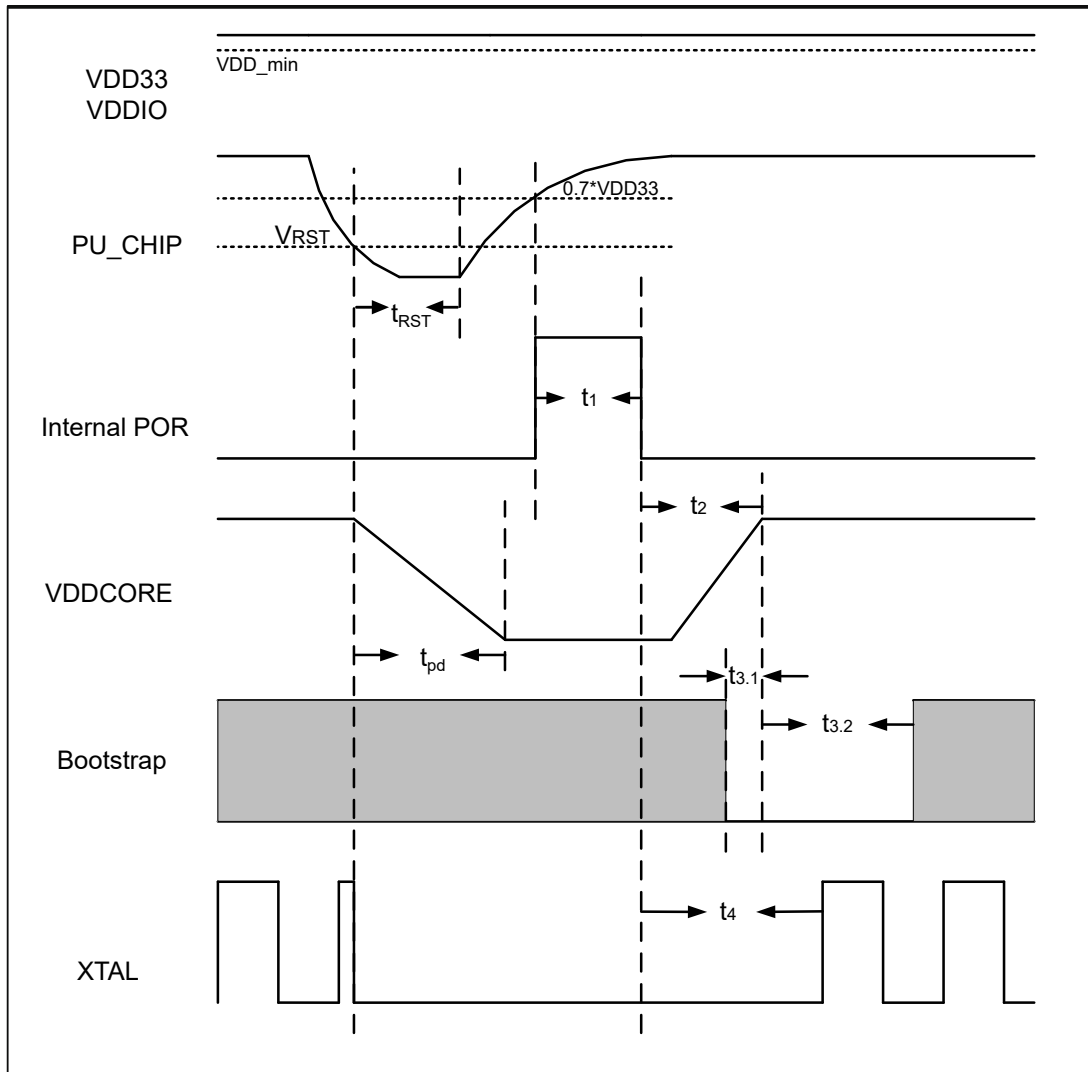


图 7.2: 复位时序

表 7.5: 复位时序参数说明

参数	说明	最小值	典型值	最大值	单位
$V_{RST}$	PU_CHIP 低于该值才会关机	0	$0.1 \cdot VDD33$	$0.3 \cdot VDD33$	V
$t_{RST}$	PU_CHIP 低于 $V_{RST}$ 的时间	1	1		ms
$t_{pd}$	关机后 VDDCORE 降低到 0 的时间	1	1		ms

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

### 7.2.5 温度特性

表 7.6: 温度特性

项目		最小值	典型值	最大值	单位
Ta	主芯片环境温度	-40		105	°C
	合封多芯片环境温度	-40		85	°C
Tj	结温度	-40		125	°C

### 7.2.6 通用工作条件

表 7.7: 一般操作条件

项目	描述	最小值	典型值	最大值	单位
FCPU	CPU/TCM/Cache 时钟频率		320		MHz
FBUS	系统总线时钟频率		80		MHz

### 7.2.7 GPADC 特性

表 7.8: GPADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	VDD supply			3.3	3.6	V
T	Working temprature		-40		125	°C
I	Current consumption of ADC on VDD 18	PGA off (2M clock)		80		μA
		PGA on(2M clock)		150		
Fclk	ADC input top clock frequency	Clock from SOC			2	MHz
Fsample	Sampling rate		0.05		2	MHz
Vin	Input conversion voltage range	Differential mode			6.4	V(vpp)
		Single-ended mode	0.02		3.2	
Rin	Total input channel resistance	Without PGA /With PGA			10 />1000	KΩ
Tpu	Power up time				2	uS

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 7.8: GPADC 特性 (continued)

符号	参数	条件	最小值	典型值	最大值	单位
Tconv	Total conversion time	12bit mode			1	1/Fsample
		14bit mode <sup>1</sup>			16	
		14bit mode <sup>2</sup>			64	
		16bit mode <sup>3</sup>			128	
		16bit mode <sup>4</sup>			256	

<sup>1</sup> res\_sel=1

<sup>2</sup> res\_sel=2

<sup>3</sup> res\_sel=3

<sup>4</sup> res\_sel=4

表 7.9: ADC electrical characteristic

符号	参数	条件	最小值	典型值	最大值	单位
DNL	Differential linearity error				+/-1	LSB
INL	Integral linearity error				+/-1.5	LSB
Total error	Dc measure Totalerror				+/-10mV	max
ENOB	Effective number of bits	12bit mode(50KHz input)	10	9.7		bit
		14bit mode(2.5KHz input)	10.8	11.4		
		16bit mode(1KHz input)	11.6	12.3		
SNDR	Signal-to-noise-distortion (PGA off)	12bit mode(50KHz input)	62	60		dB
		14bit mode(2.5KHz input)	66.5	72.4		
		16bit mode(1KHz input)	71.6	76.8		
SNR	Signal-to-noise-distortion (PGA off)	12bit mode(50KHz input)	62.5	65.6		dB
		14bit mode(2.5KHz input)	68	71		
		16bit mode(1KHz input)	72	77.8		
SNDR	Signal-to-noise-distortion (PGA gain=1)	12bit mode(50KHz input)	61	64		dB
		14bit mode(2.5KHz input)	65.5	69.5		
		16bit mode(1KHz input)	72	74		

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 8 产品使用

### 8.1 湿敏等级 (MSL)

芯片的湿敏等级为：**MSL3**。真空包装打开后，在  $\leq 30^{\circ}\text{C}/60\% \text{RH}$  下，需要在 **168** 小时（7 天）内使用完毕，否则需要烘烤后上线。烘烤温度和时间可参考 IPC/JEDECJ-STD-033B01。

表 8.1: Reference Conditions for Drying Mounted or Unmounted SMD Packages (User Bake: Floor life begins counting at time = 0 after bake)

Package Body	Level	Bake @ 125°C		Bake @ 90°C $\leq 5\% \text{RH}$		Bake @ 40°C $\leq 5\% \text{RH}$	
		Exceeding Floor Life by >72 h	Exceeding Floor Life by $\leq 72$ h	Exceeding Floor Life by >72 h	Exceeding Floor Life by $\leq 72$ h	Exceeding Floor Life by >72 h	Exceeding Floor Life by $\leq 72$ h
Thickness $\leq 1.4 \text{ mm}$	2	5 hours	3 hours	17 hours	11 hours	8 days	5 days
	2a	7 hours	5 hours	23 hours	13 hours	9 days	7 days
	3	9 hours	7 hours	33 hours	23 hours	13 days	9 days
	4	11 hours	7 hours	37 hours	23 hours	15 days	9 days
	5	12 hours	7 hours	41 hours	24 hours	17 days	10 days
	5a	16 hours	10 hours	54 hours	24 hours	22 days	10 days

### 8.2 静电放电 (ESD)

- 人体放电模式 (HBM): 2000V
- 组件充电模式 (CDM): 500V

Title BL616CL Datasheet	NO. 1	Revision 0.9.4	Classification Public	Status Release	Date Mar 20, 2025
----------------------------	----------	-------------------	--------------------------	-------------------	----------------------

### 8.3 回流焊接曲线 (Reflow Profile)

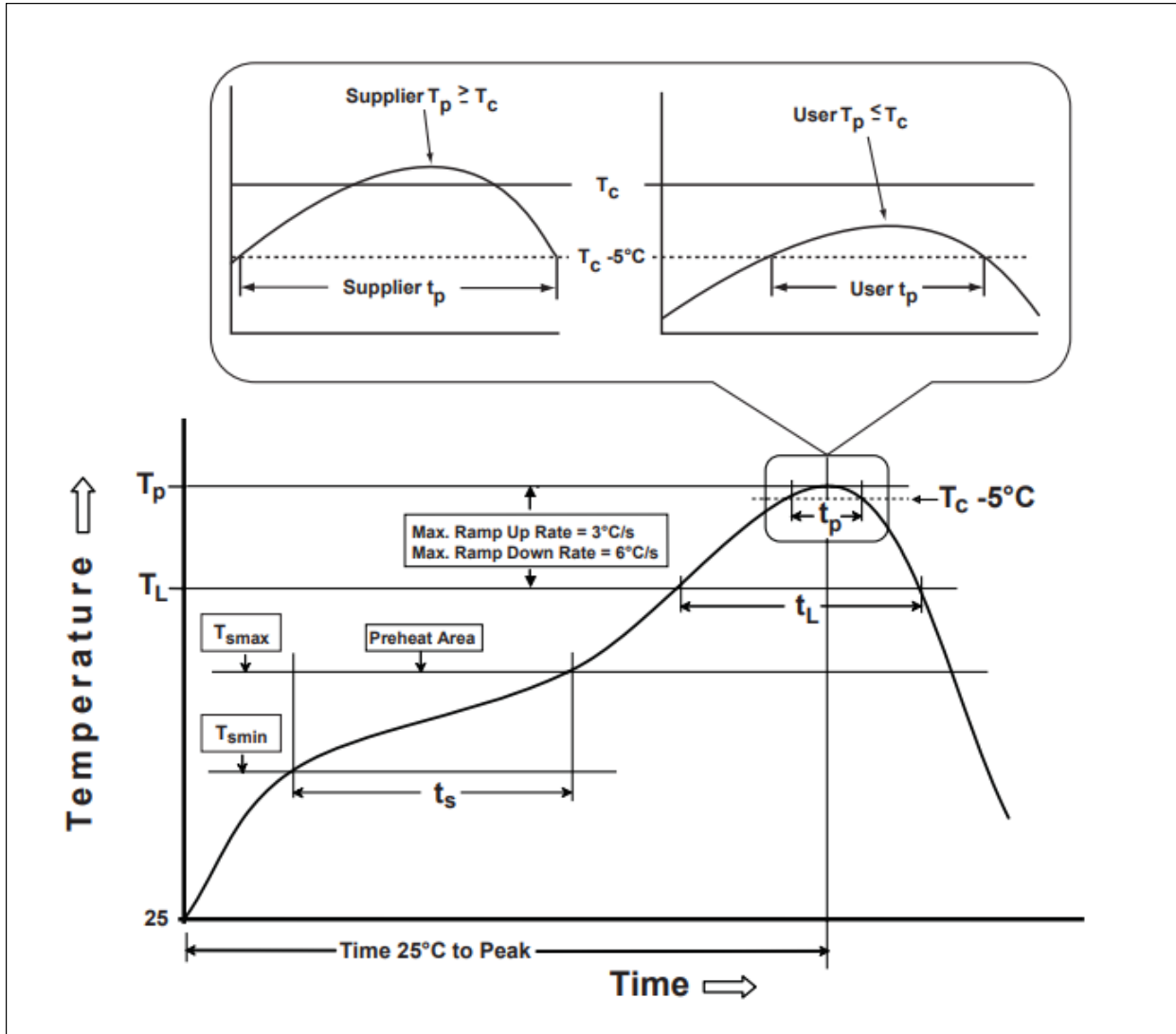


图 8.1: Classification Profile (Not to scale)

表 8.2: Classification Reflow Profiles

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Preheat/Soak		
Temperature Min ( $T_{smin}$ )	100 °C	150 °C
Temperature Max ( $T_{smax}$ )	150 °C	200 °C
Time ( $t_s$ ) from ( $T_{smin}$ to $T_{smax}$ )	60-120 seconds	60-120 seconds
Ramp-up rate ( $T_L$ to $T_p$ )	3 °C/second max.	3 °C/second max.

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 8.2: Classification Reflow Profiles(continued)

Profile Feature	Sn-Pb Eutectic Assembly	Pb-Free Assembly
Liquidous temperature ( $T_L$ )	183 °C	217 °C
Time ( $t_L$ ) maintained above $T_L$	60-150 seconds	60-150 seconds
Peak package body temperature ( $T_p$ )	240 °C+0/-5 °C	250 °C+0/-5 °C
Time ( $t_p$ )* within 5 °C of the specified classification temperature ( $T_c$ )	10-30 seconds	20-40 seconds
Ramp-down rate ( $T_p$ to $T_L$ )	6 °C/second max	6 °C/second max
Time 25 °C to peak temperature	6 minutes max	8 minutes max
- Tolerance for peak profile temperature ( $T_p$ ) is defined as a supplier minimum and a user maximum.		

具体可参考 IPC/JEDEC J-STD-020E。

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 9 参考设计

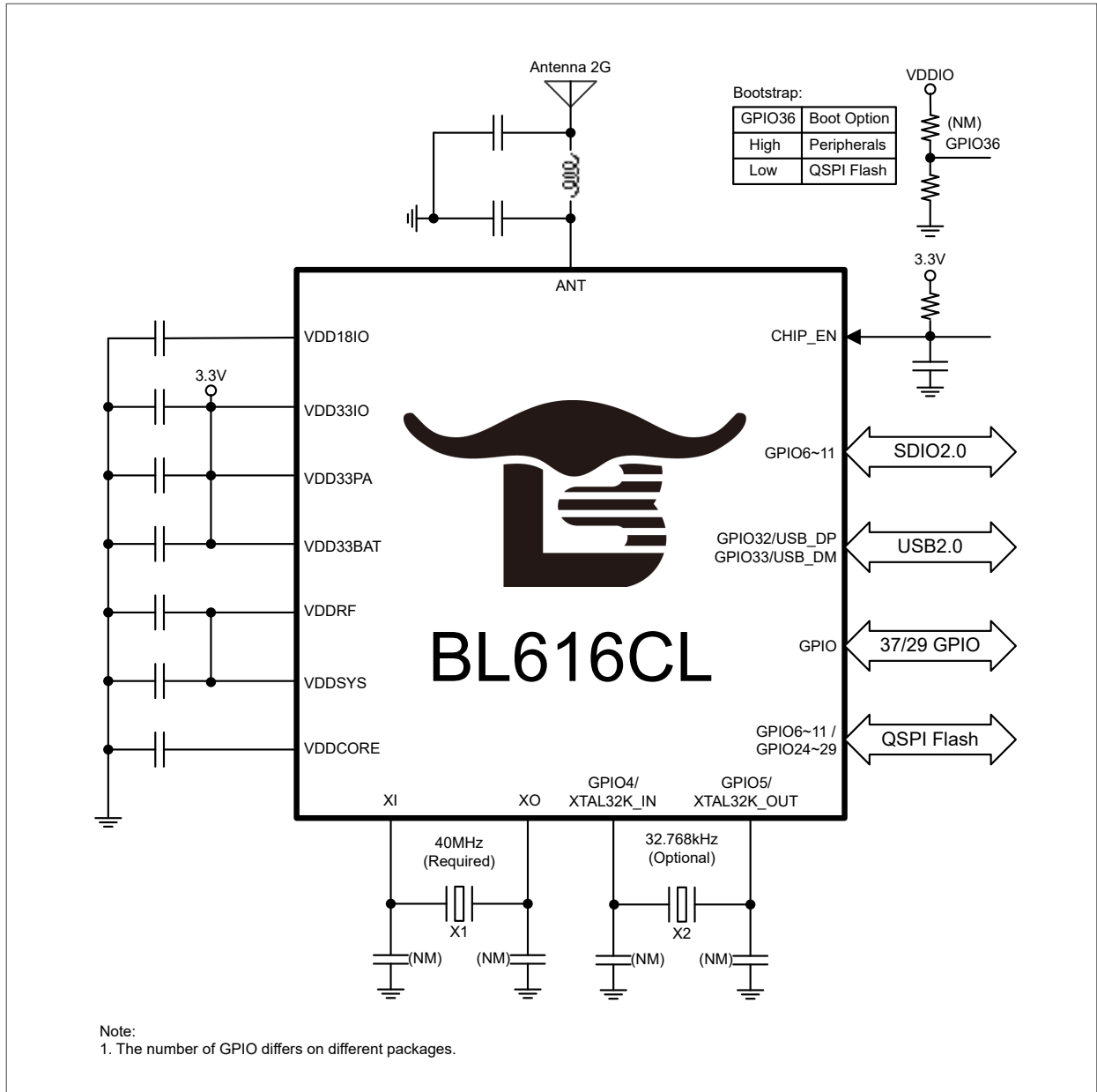


图 9.1: BL616CL 参考设计

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 10 封装信息 QFN32

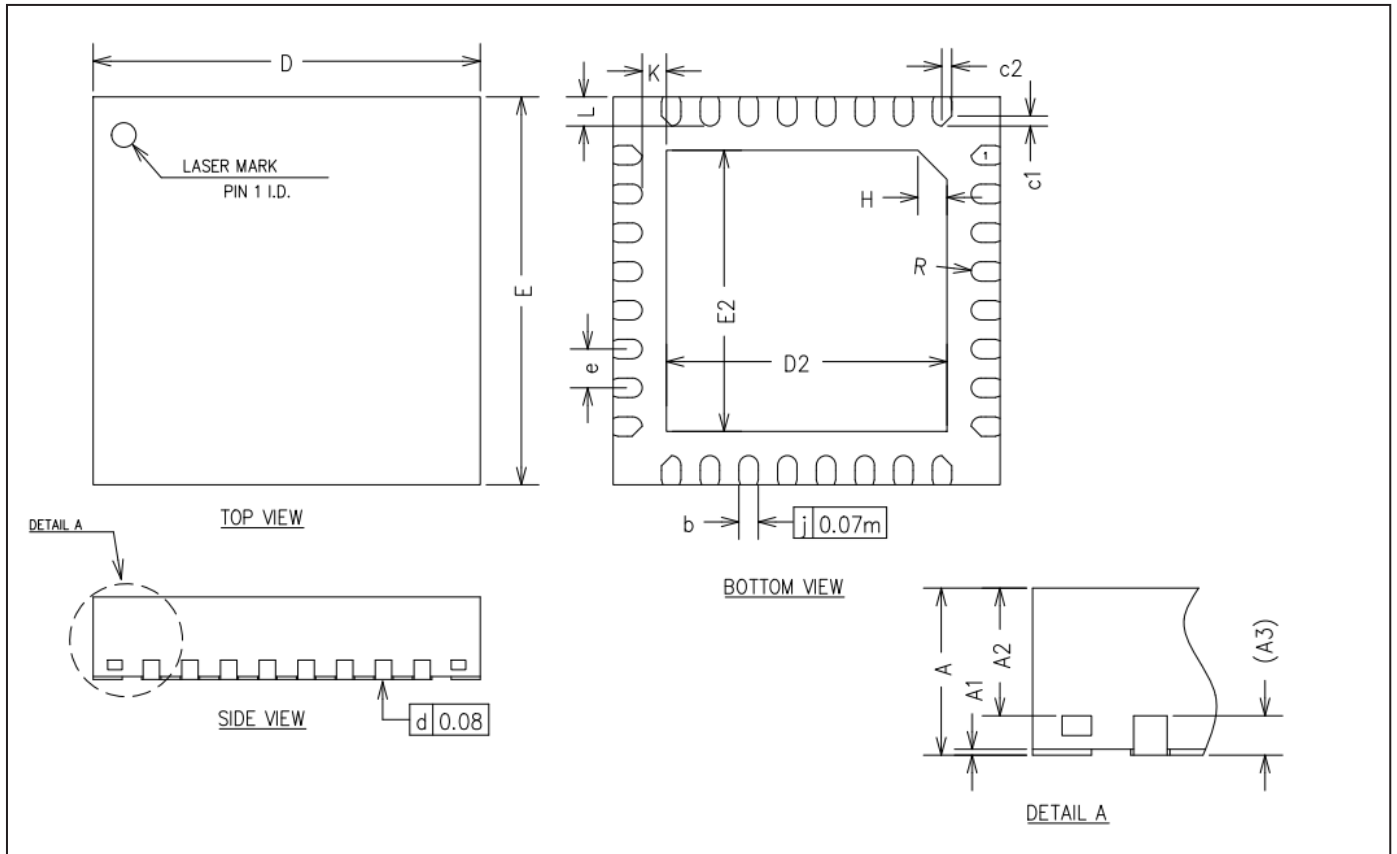


图 10.1: QFN32 封装图

表 10.1: QFN32 尺寸说明

标号	测量单位：毫米		
	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0.00	0.02	0.05
A2	0.60	0.65	0.70
A3	0.20REF		
b	0.15	0.20	0.25
D	3.90	4.00	4.10
E	3.90	4.00	4.10
D2	2.80	2.90	3.00

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 10.1: QFN32 尺寸说明 (continued)

标号	测量单位：毫米		
	最小值	典型值	最大值
E2	2.80	2.90	3.00
e	0.30	0.40	0.50
H	0.30REF		
K	0.25REF		
L	0.25	0.30	0.35
R	0.09	-	-
c1	-	0.10	-
c2	-	0.10	-

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 11 封装信息 QFN40

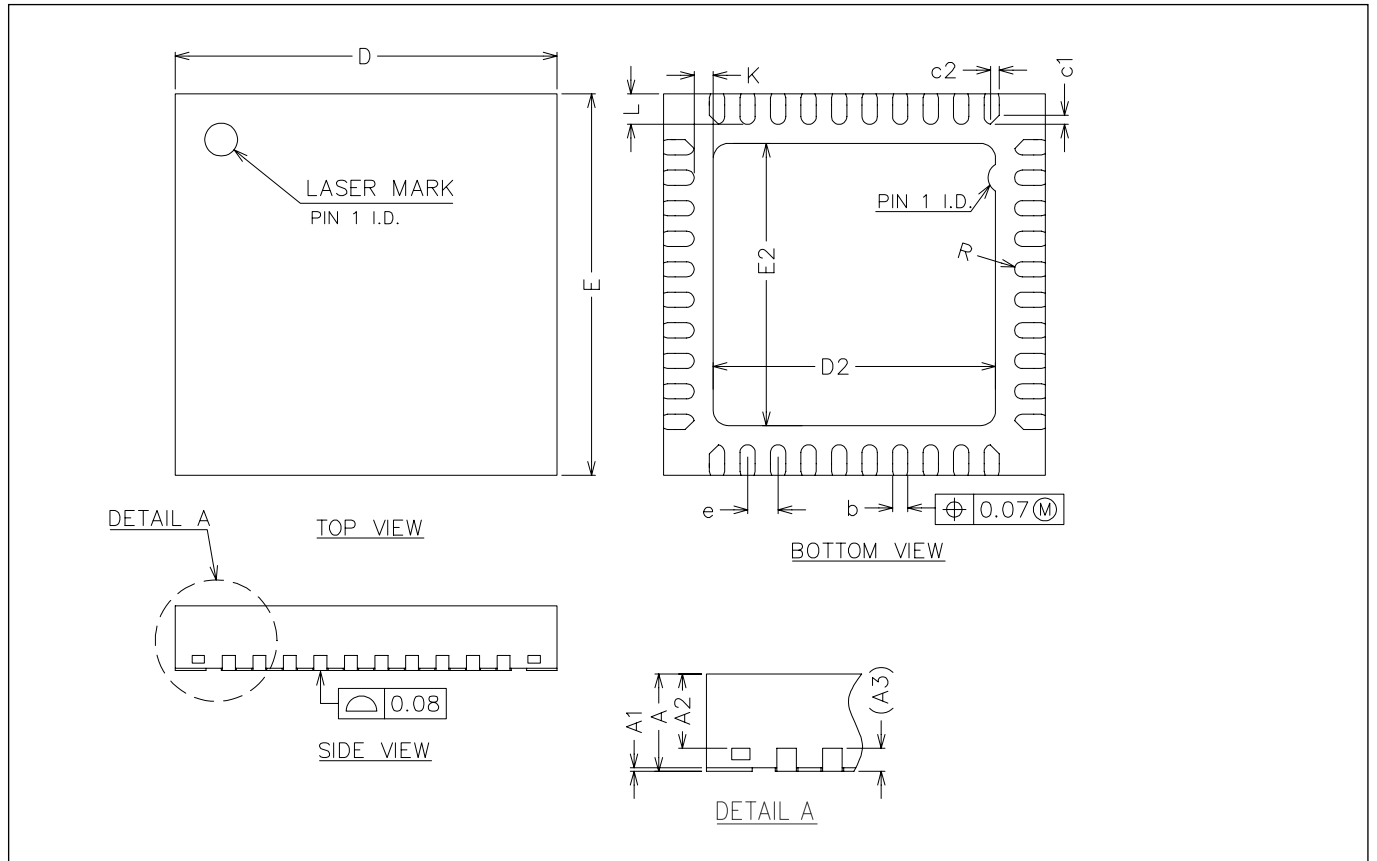


图 11.1: QFN40 封装图

表 11.1: QFN40 尺寸说明

标号	测量单位：毫米		
	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0.00	0.02	0.05
A2	0.60	0.65	0.70
A3	0.20 REF		
b	0.15	0.20	0.25
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D2	3.60	3.70	3.80

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 11.1: QFN40 尺寸说明 (continued)

标号	测量单位：毫米		
	最小值	典型值	最大值
E2	3.60	3.70	3.80
e	0.35	0.40	0.45
K	0.20	-	-
L	0.35	0.40	0.45
R	0.075	-	-
c1	-	0.12	-
c2	-	0.12	-

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 12 封装信息 QFN48

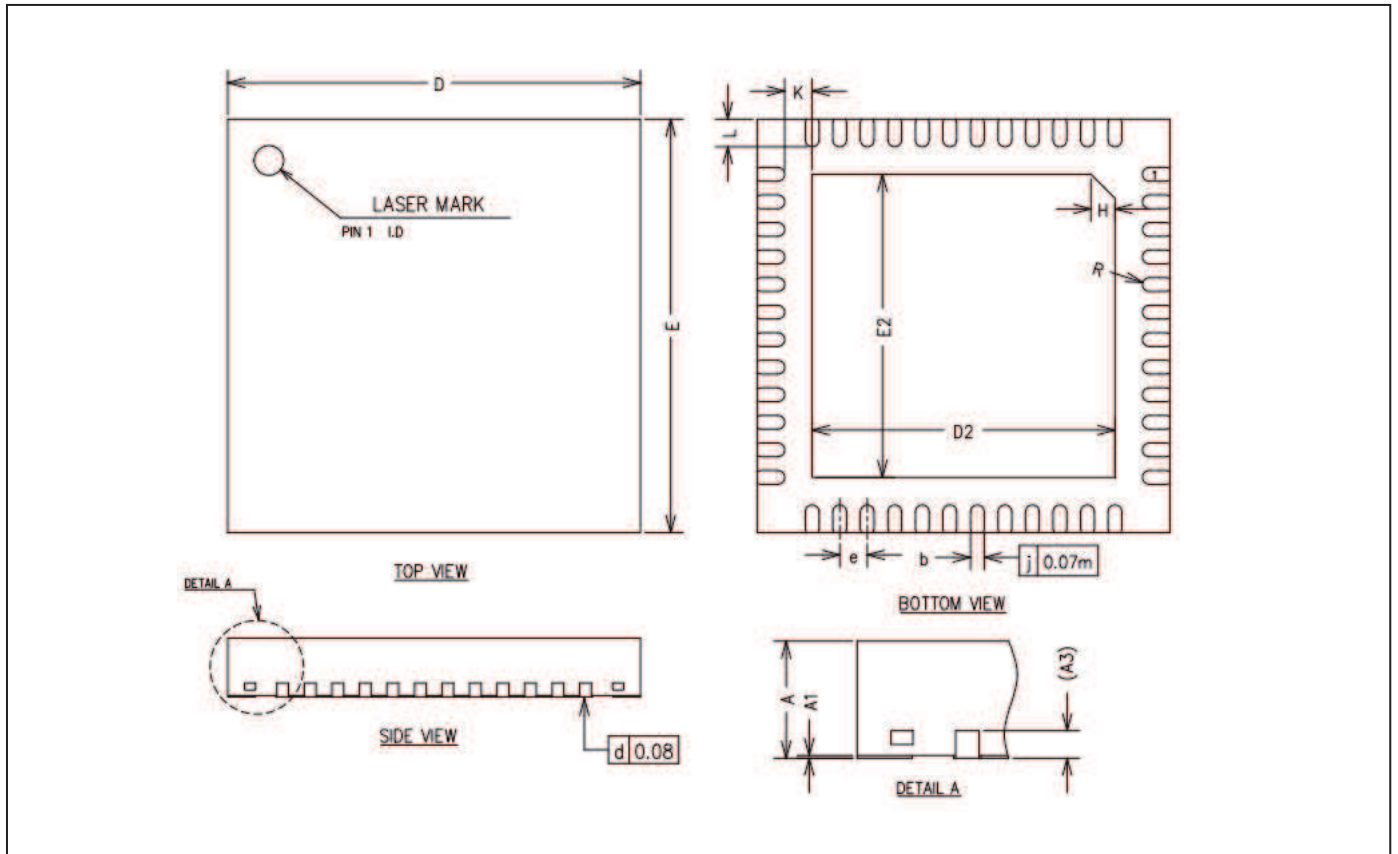


图 12.1: QFN48 封装图

表 12.1: QFN48 尺寸说明 (测量单位: 毫米)

标号	最小值	典型值	最大值
A	0.80	0.85	0.90
A1	0	0.02	0.05
A3	0.20REF		
b	0.15	0.20	0.25
D	5.90	6.00	6.10
E	5.90	6.00	6.10
D2	4.30	4.40	4.50
E2	4.30	4.40	4.50
e	0.30	0.40	0.50

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

表 12.1: QFN48 尺寸说明 (测量单位: 毫米) (continued)

标号	最小值	典型值	最大值
H	0.35REF		
K	0.30	0.40	0.50
L	0.30	0.40	0.50
R	0.075	-	-

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

### 13 标志定义

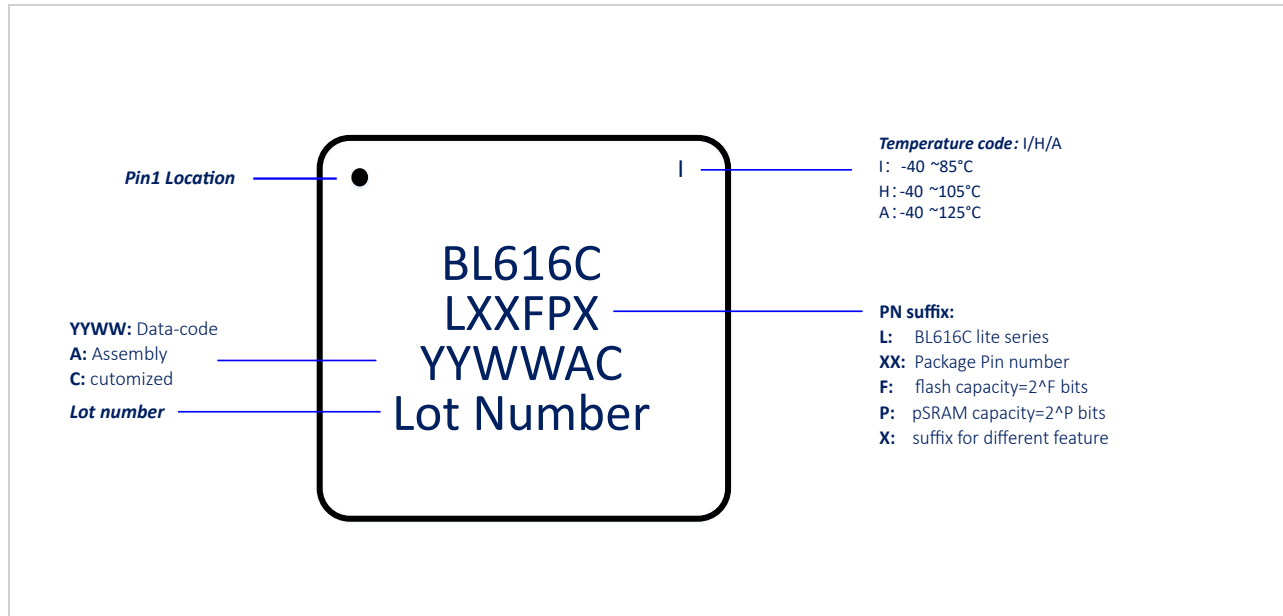


图 13.1: BL616CL 系列标志定义

Title BL616CL Datasheet	NO. 1	Revision 0.9.4	Classification Public	Status Release	Date Mar 20, 2025
----------------------------	----------	-------------------	--------------------------	-------------------	----------------------

## 14 订购信息

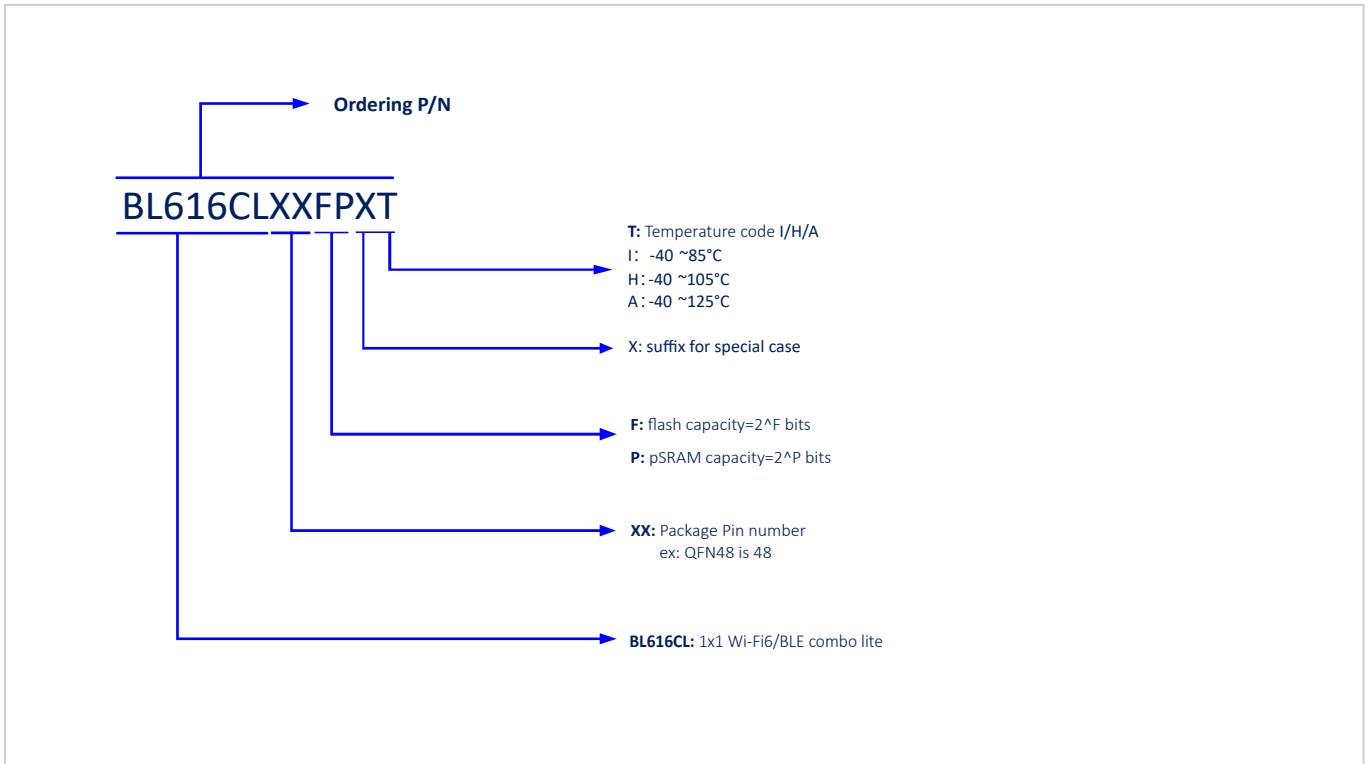


图 14.1: 型号命名

注解：芯片订购料号规则如上图，具体的订购料号信息请联系支持人员提供详细产品料号表格。

表 14.1: 产品包装信息

Package Size(mm)	Reel size	Quantity per Master Carton	Quantity per Roll	Reel Diameter	Tape Width	Tape Pitch	Moisture Sensitivity Level	Package Type
QFN 4*4	13"	30000	6000	330mm	12mm	8mm	MSL3	Tape reel
QFN 6*6	13"	15000	3000	330mm	16mm	12mm	MSL3	

Title	NO.	Revision	Classification	Status	Date
BL616CL Datasheet	1	0.9.4	Public	Release	Mar 20, 2025

## 15 版本信息

表 15.1: 修改记录

日期	版本	修改内容
2024/12/17	0.9	初版
2025/8/14	0.9.1	添加 QFN32 封装信息
2025/9/17	0.9.2	修改笔误
2026/3/7	0.9.3	添加订购信息
2026/3/20	0.9.4	更新 QFN32 封装信息